

Sistemas Electrónicos Digitales

Tema #2

1. Dispositivos Reconfigurables



DISPOSITIVOS RECONFIGURABLES: DISPOSITIVOS LÓGICOS PROGRAMABLES

- Son conjuntos ordenados de puertas lógicas
- Las conexiones entre ellas determina la función del circuito
- Las conexiones son programables
- Tres tipos:
 - PLD básico
 - CPLD
 - FPGA



DISPOSITIVOS PROGRAMABLES BÁSICOS (PLDs)

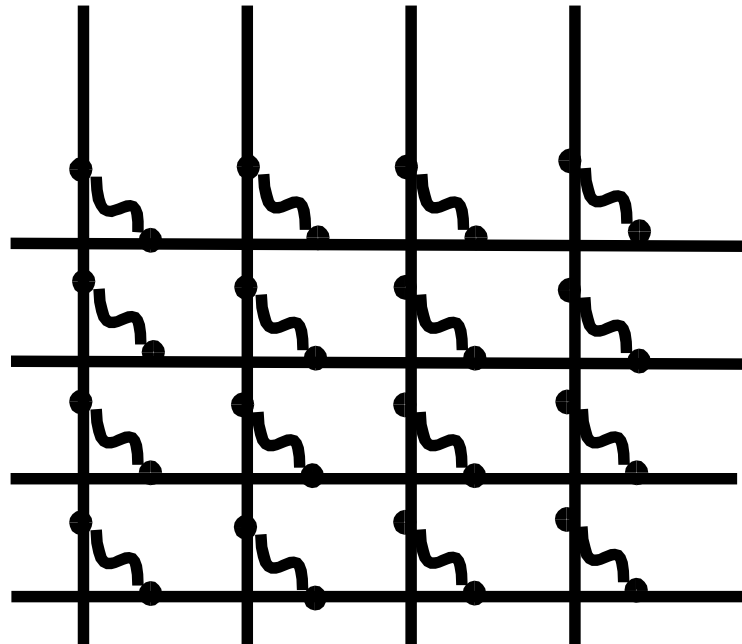


Dispositivos Programables Básicos

- Su principal componente es la matriz programable:
 - Formada por filas y columnas de conductor.
 - Un elemento de unión programable en cada intersección.

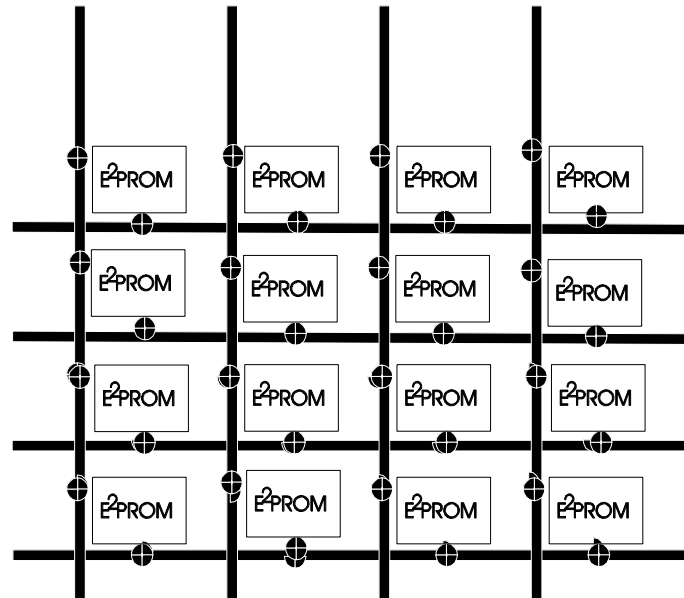
Tipos de matriz programable por tecnología:

- Matriz de fusibles:
 - Un fusible en cada intersección.
 - Programable una sola vez.



Tipos de matriz programable por tecnología:

- Matriz de celdas EEPROM:
 - Una celda EEPROM en cada unión.
 - Reprogramable.

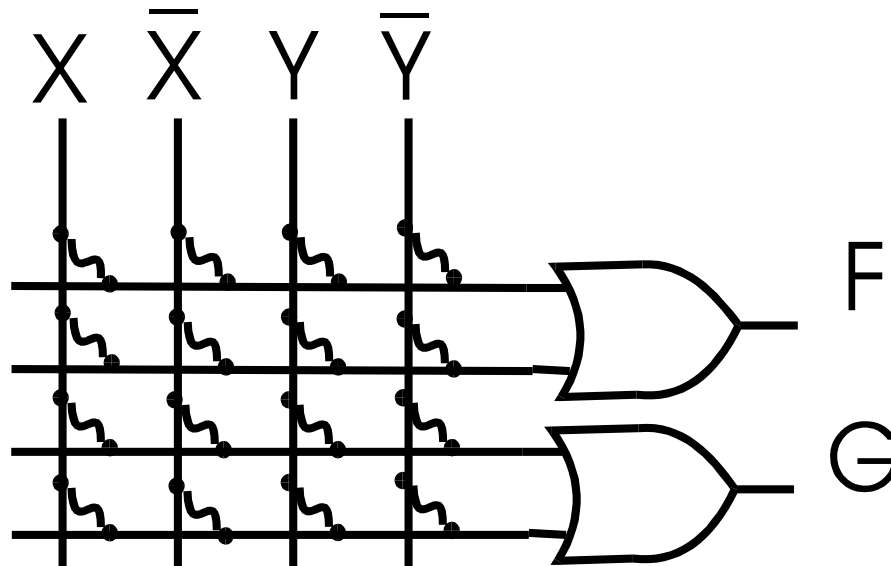


 = Celda EEPROM

Tipos de matriz programable por modo de funcionamiento:

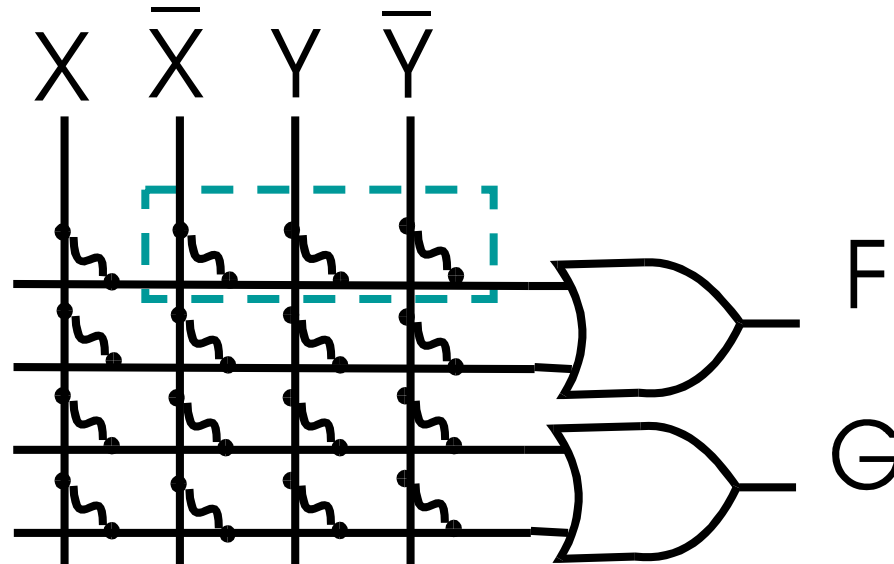
- Matriz “OR”

- Introducimos las variables en las columnas y las filas terminan en puertas OR



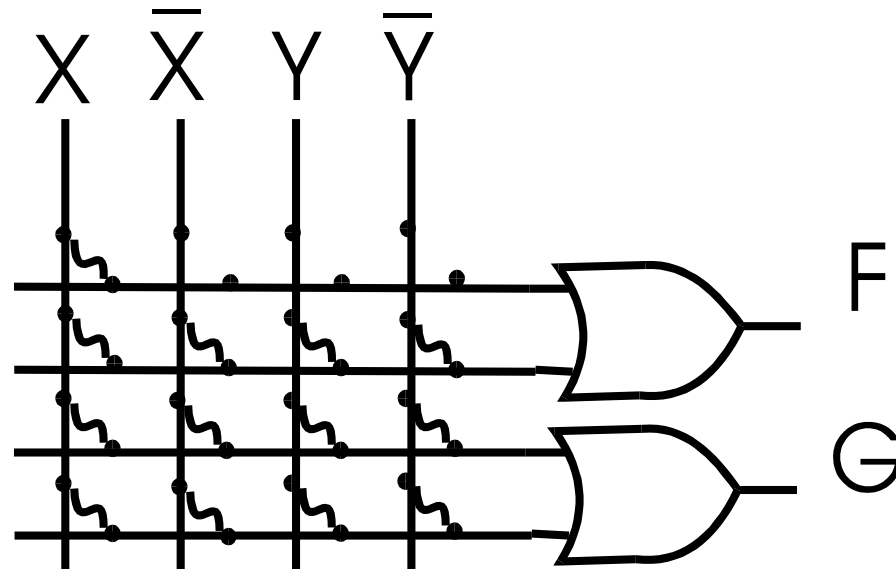
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



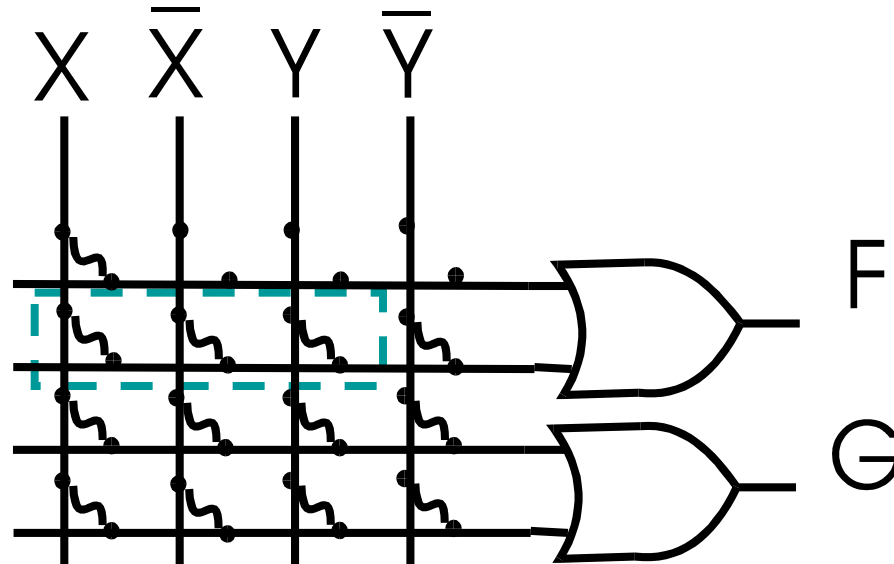
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



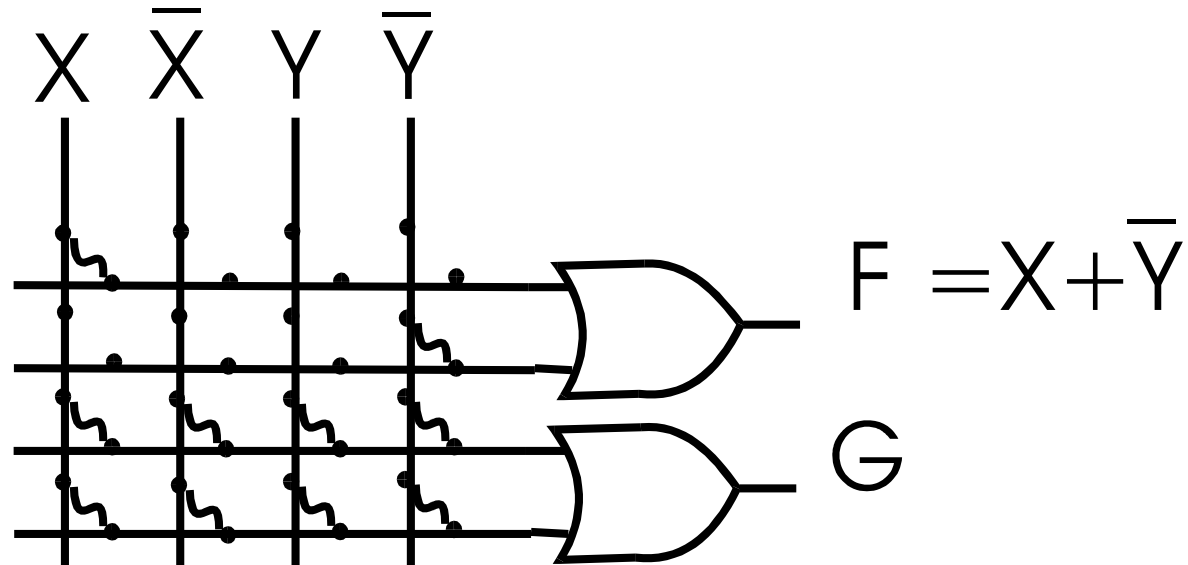
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



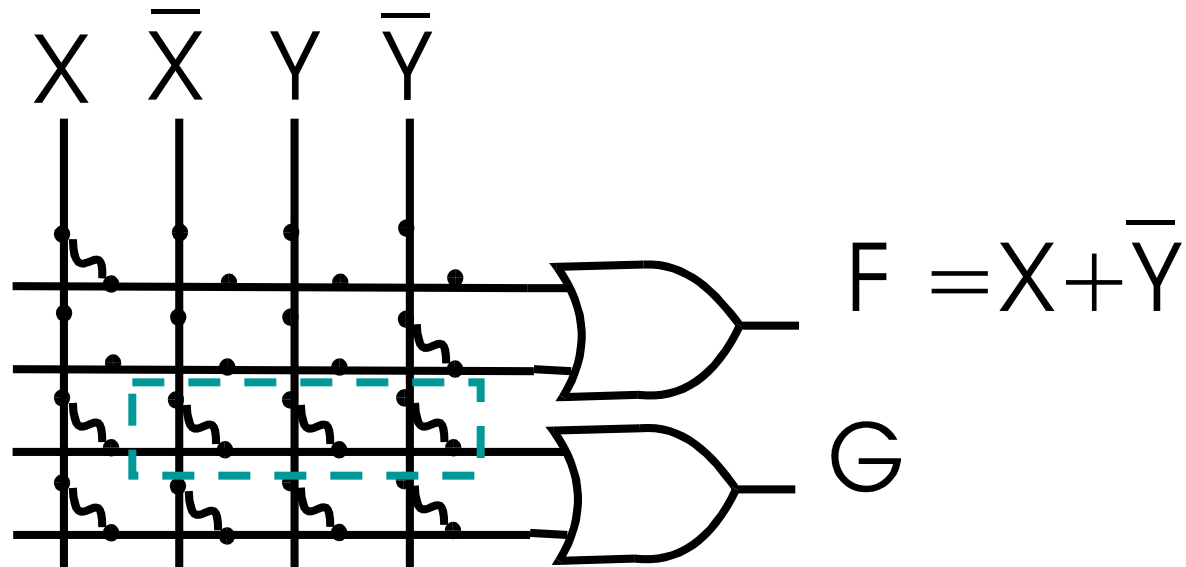
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



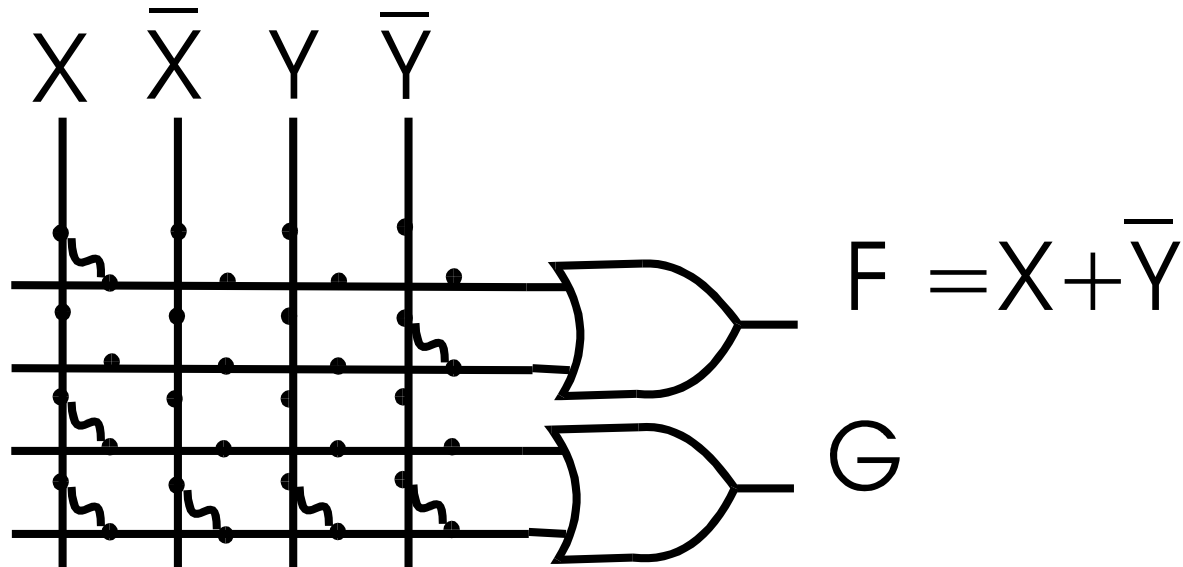
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



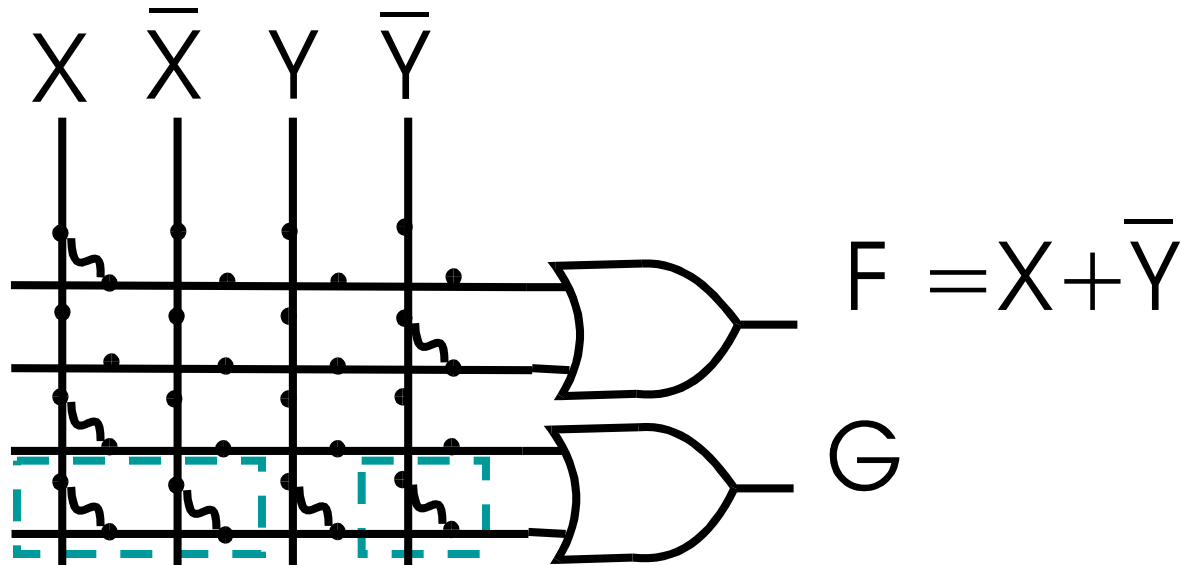
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



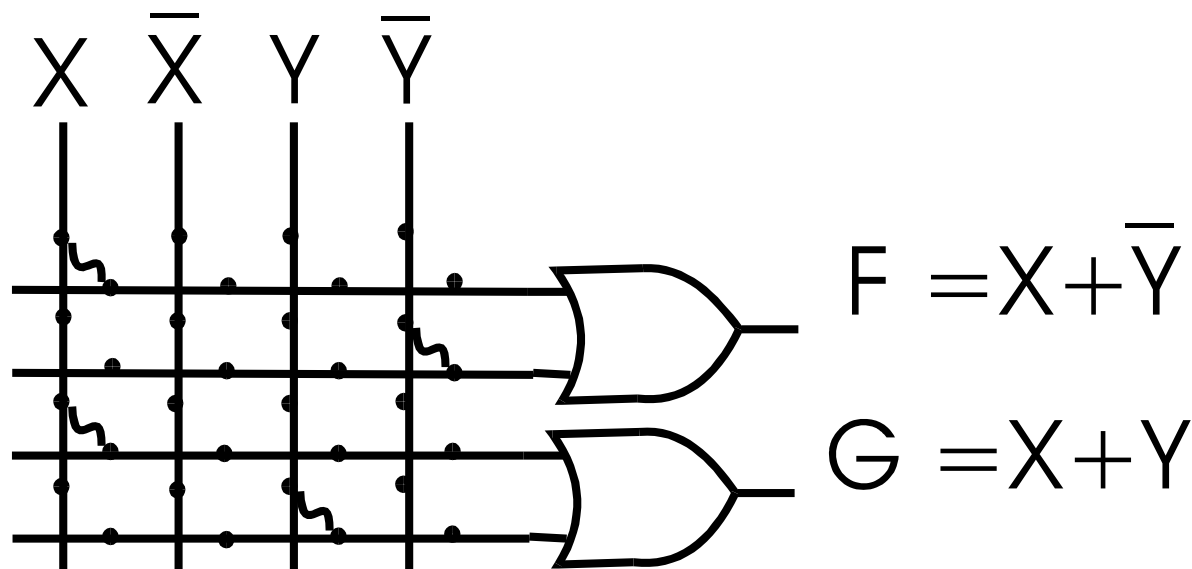
Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”



Tipos de matriz programable por modo de funcionamiento:

- Matriz “OR”

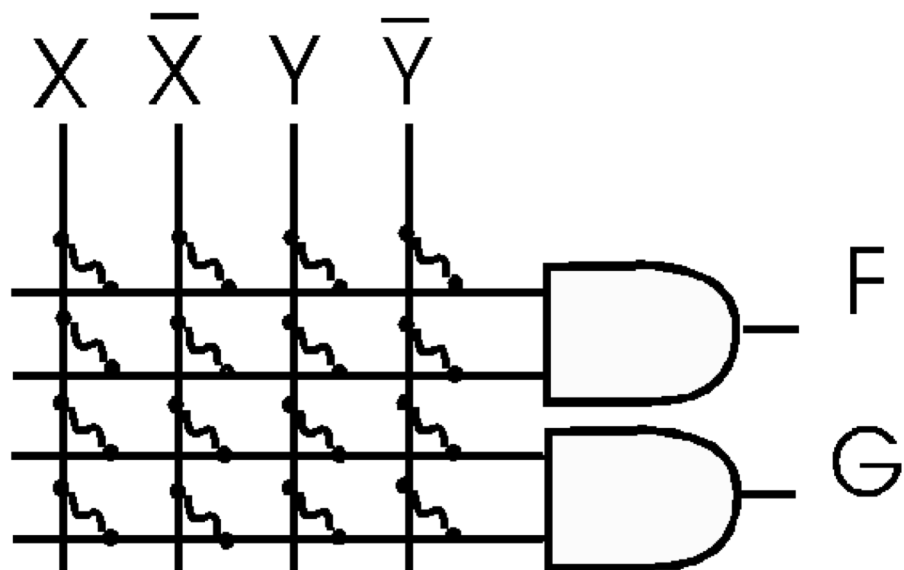


- Nos permite obtener sumas de términos.

Tipos de matriz programable por modo de funcionamiento:

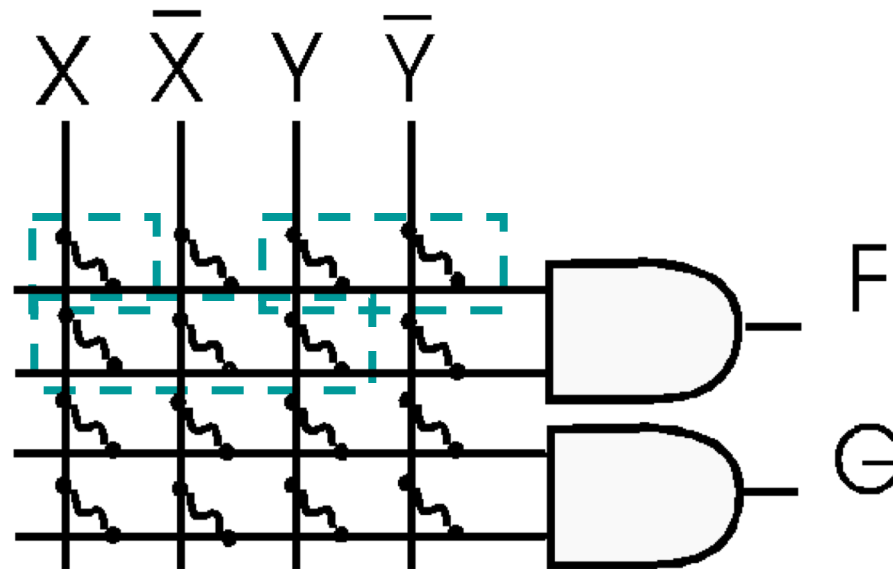
- Matriz AND

- Introducimos las variables en las columnas y las filas terminan en puertas AND



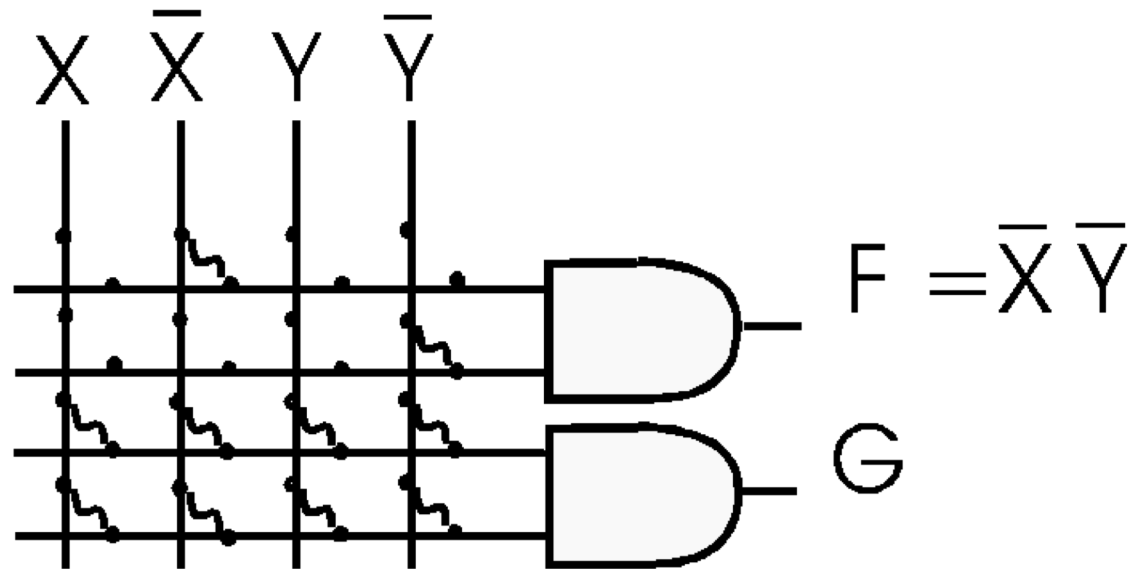
Tipos de matriz programable por modo de funcionamiento:

- Matriz AND



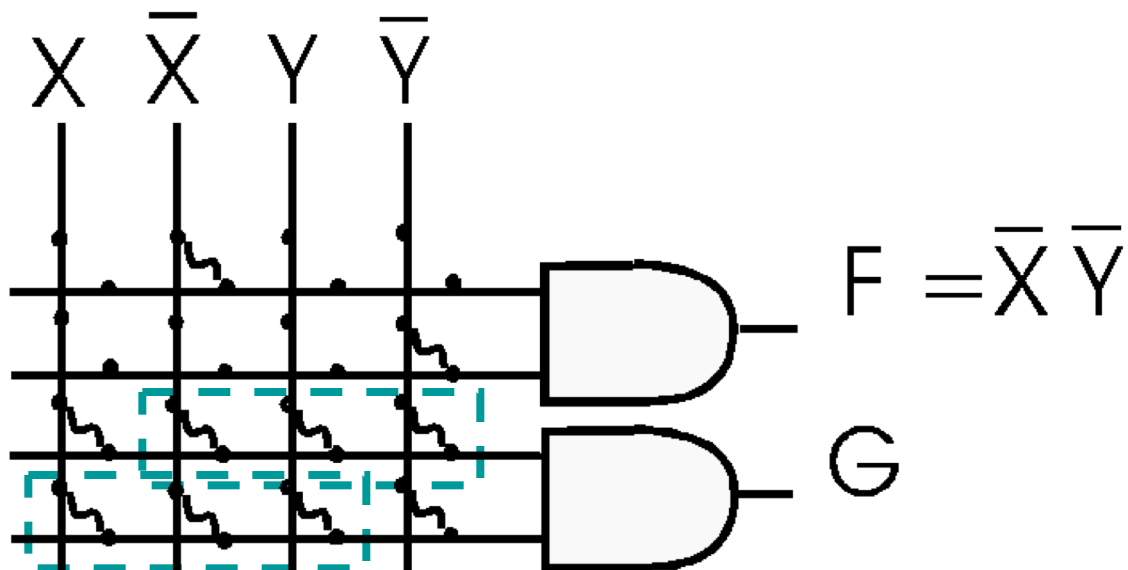
Tipos de matriz programable por modo de funcionamiento:

- Matriz AND



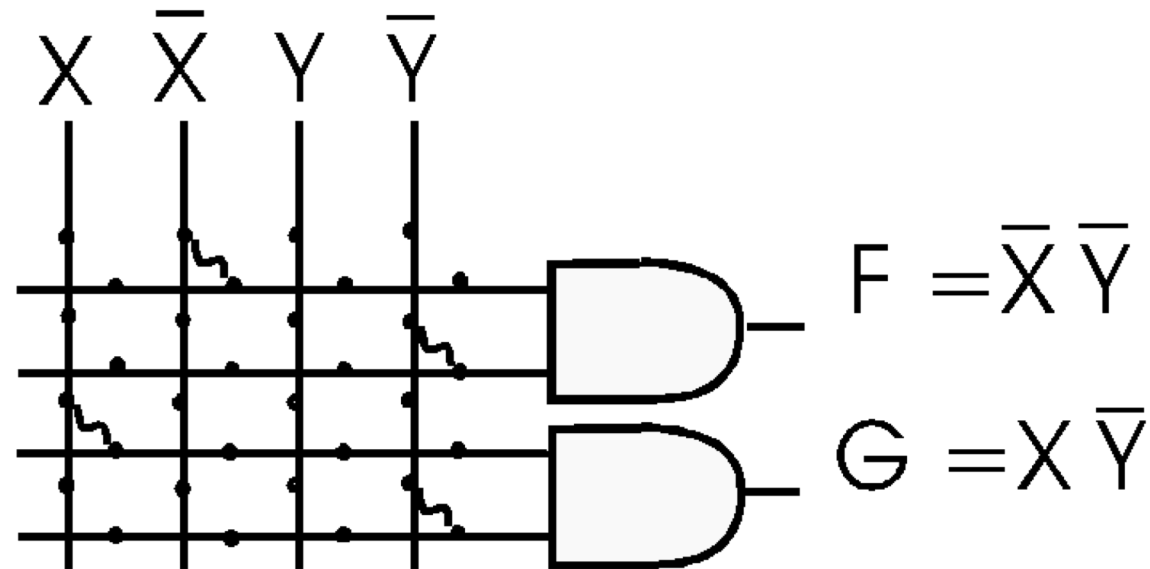
Tipos de matriz programable por modo de funcionamiento:

- Matriz AND



Tipos de matriz programable por modo de funcionamiento:

- Matriz AND



- Nos permite obtener productos de términos.



Tipos de dispositivos básicos

- P.R.O.M./E.P.R.O.M.
(Programmable Read Only Memory)
- P.A.L.
(Programmable Array Logic)
- P.L.A.
(Programmable Logic Array)
- G.A.L.
(Generic Array Logic)

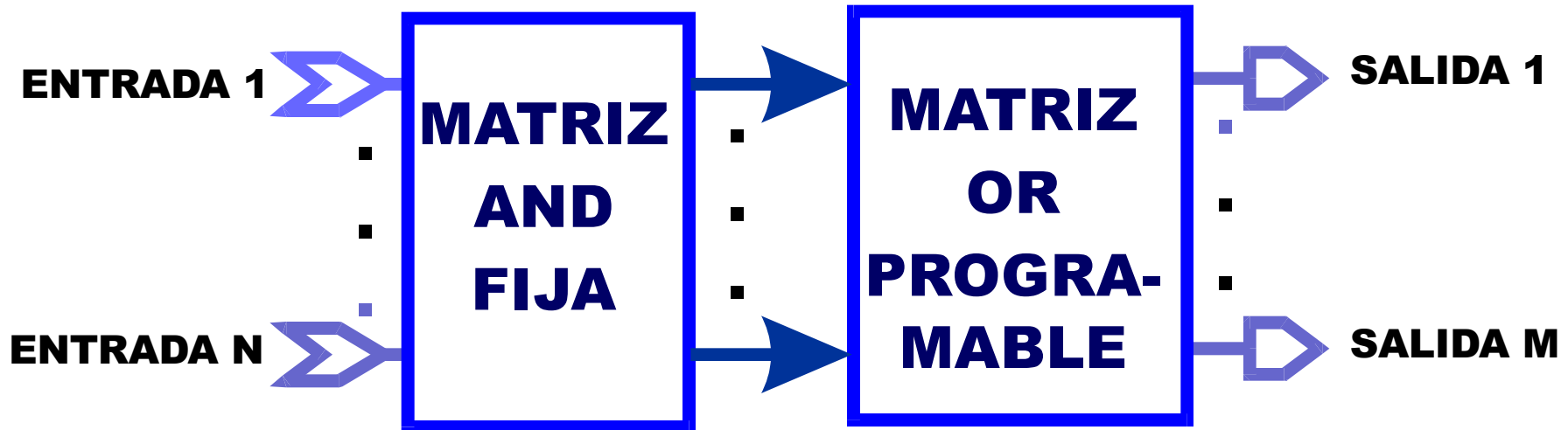


Tipos de dispositivos básicos

- **P.R.O.M./E.P.R.O.M.**
(Programmable Read Only Memory)
- **P.A.L.**
(Programmable Array Logic)
- **P.L.A.**
(Programmable Logic Array)
- **G.A.L.**
(Generic Array Logic)

P.R.O.M. /E.P.R.O.M.

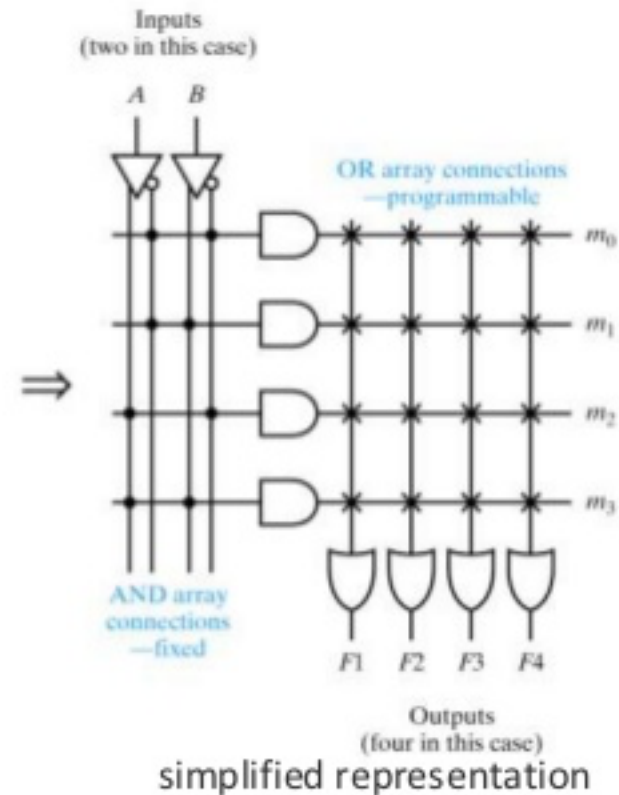
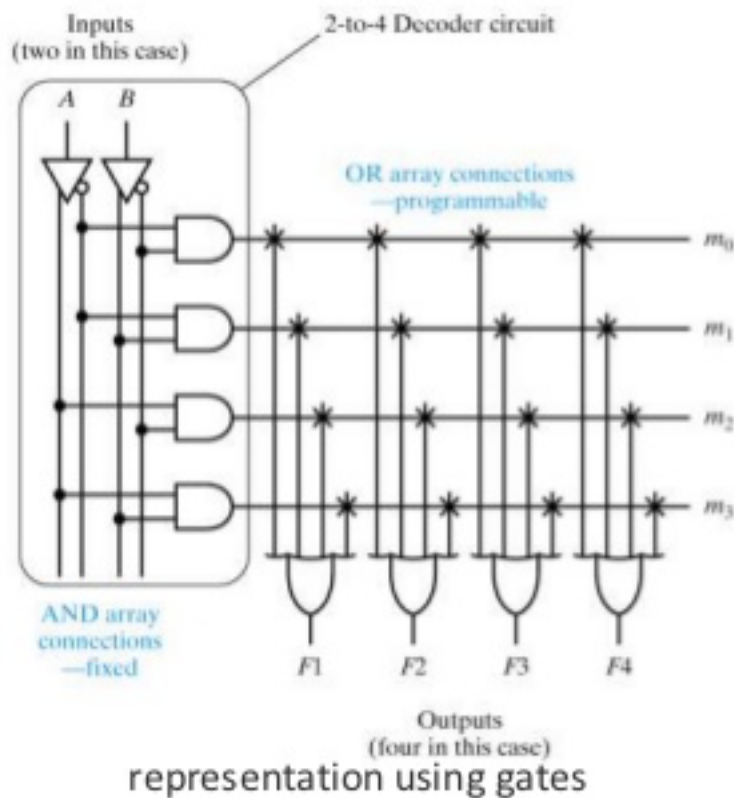
- Matriz AND fija
- Matriz OR programable



- Utilizada como memoria de solo lectura

P.R.O.M. /E.P.R.O.M.

- Matriz AND fija
- Matriz OR programable

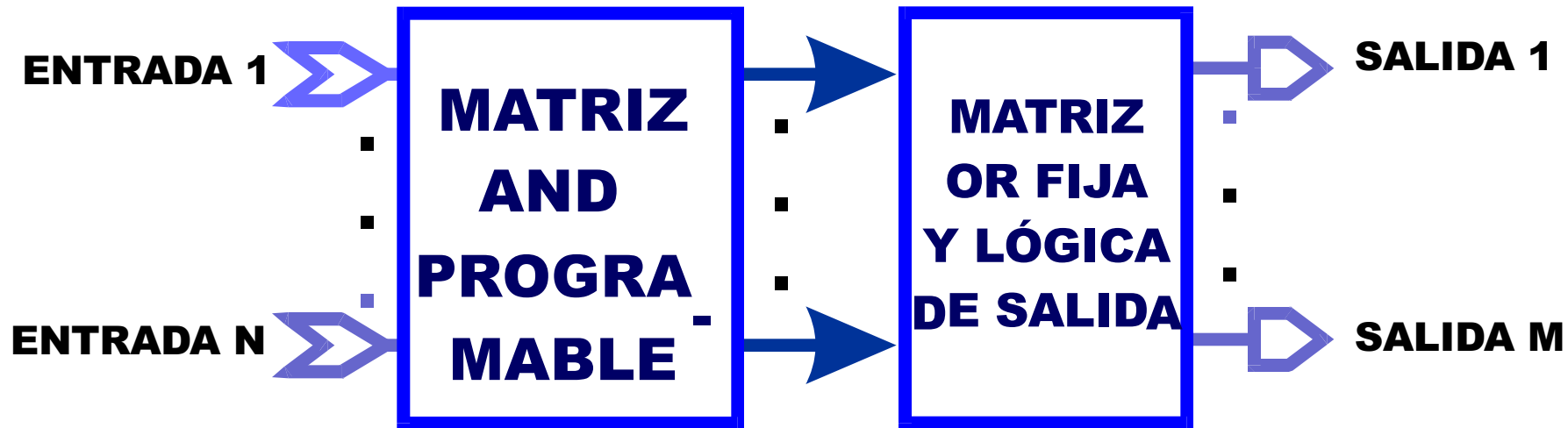




Tipos de dispositivos básicos

- P.R.O.M./E.P.R.O.M.
(Programmable Read Only Memory)
- P.A.L.
(Programmable Array Logic)
- P.L.A.
(Programmable Logic Array)
- G.A.L.
(Generic Array Logic)

- Matriz AND programable
- Matriz OR fija



- Ampliamente utilizada.
Ej^o: ordenadores.
Hoy día obsoleta.

- Ejemplo de dispositivo:
 - PAL16L8 (16 ent./8 sal.)

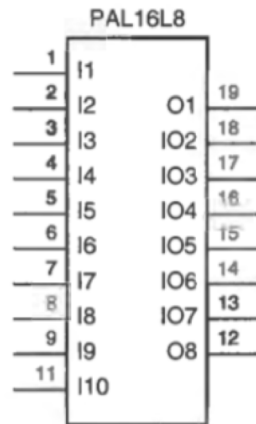


Figure 6-26
Logic symbol for
the PAL16L8.

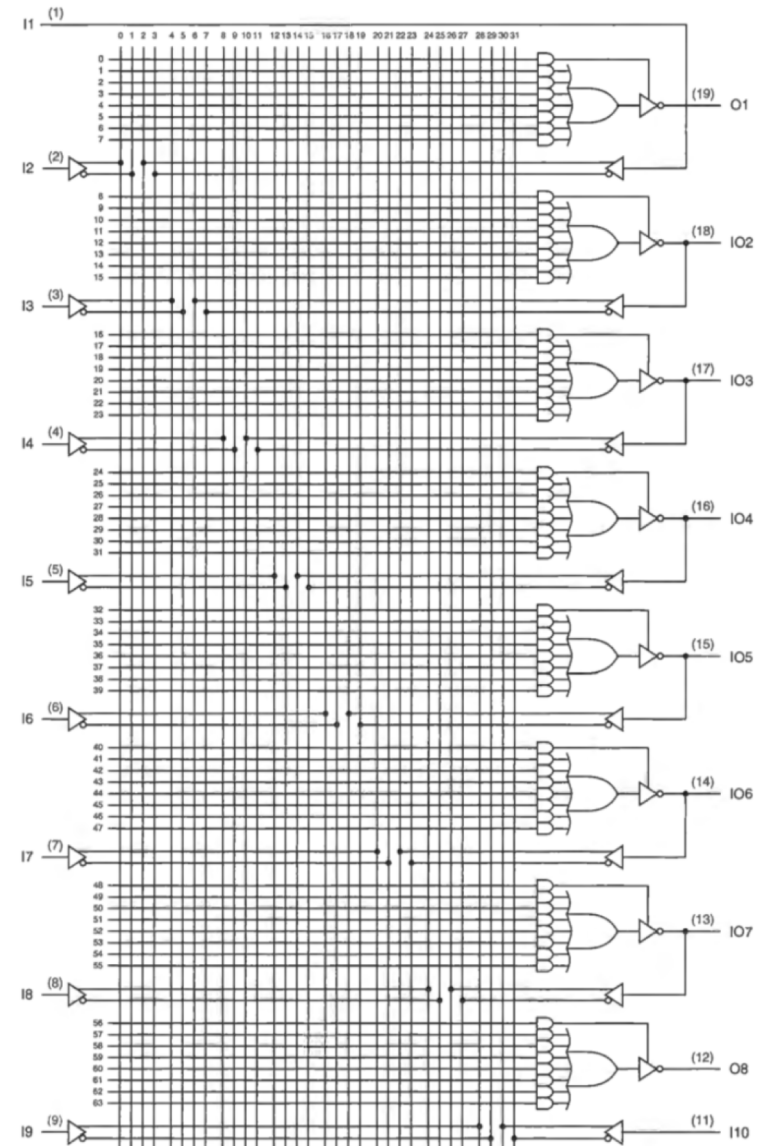


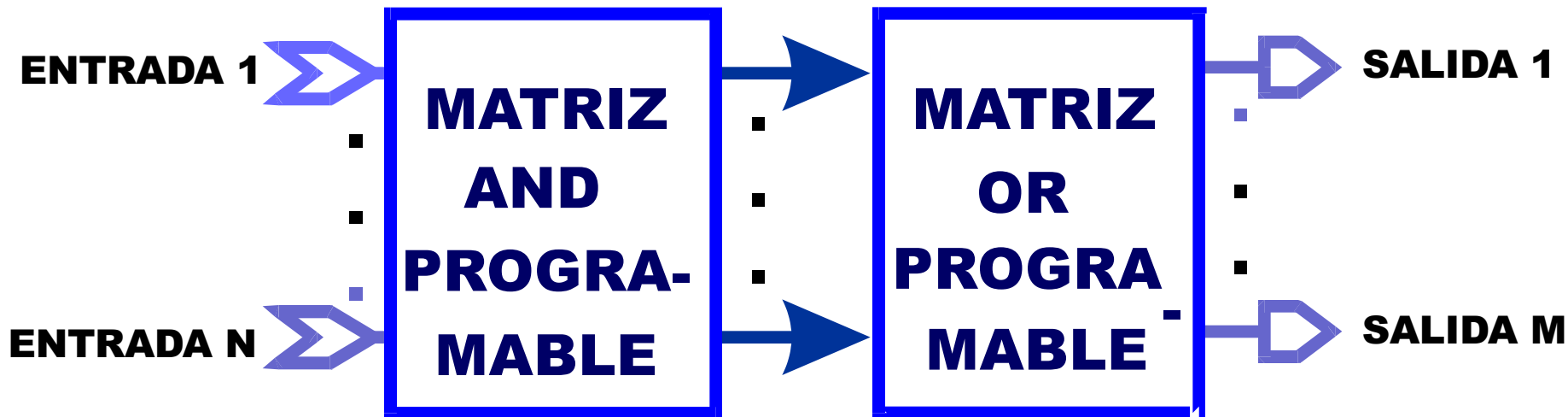
Figure 6-25 Logic diagram of the PAL16L8.

Ref: [3]

Tipos de dispositivos básicos

- P.R.O.M./E.P.R.O.M.
(Programmable Read Only Memory)
- P.A.L.
(Programmable Array Logic)
- P.L.A.
(Programmable Logic Array)
- G.A.L.
(Generic Array Logic)

- Matriz AND programable
- Matriz OR programable



- **Es el caso más general.
También está obsoleta.**

P.L.A.

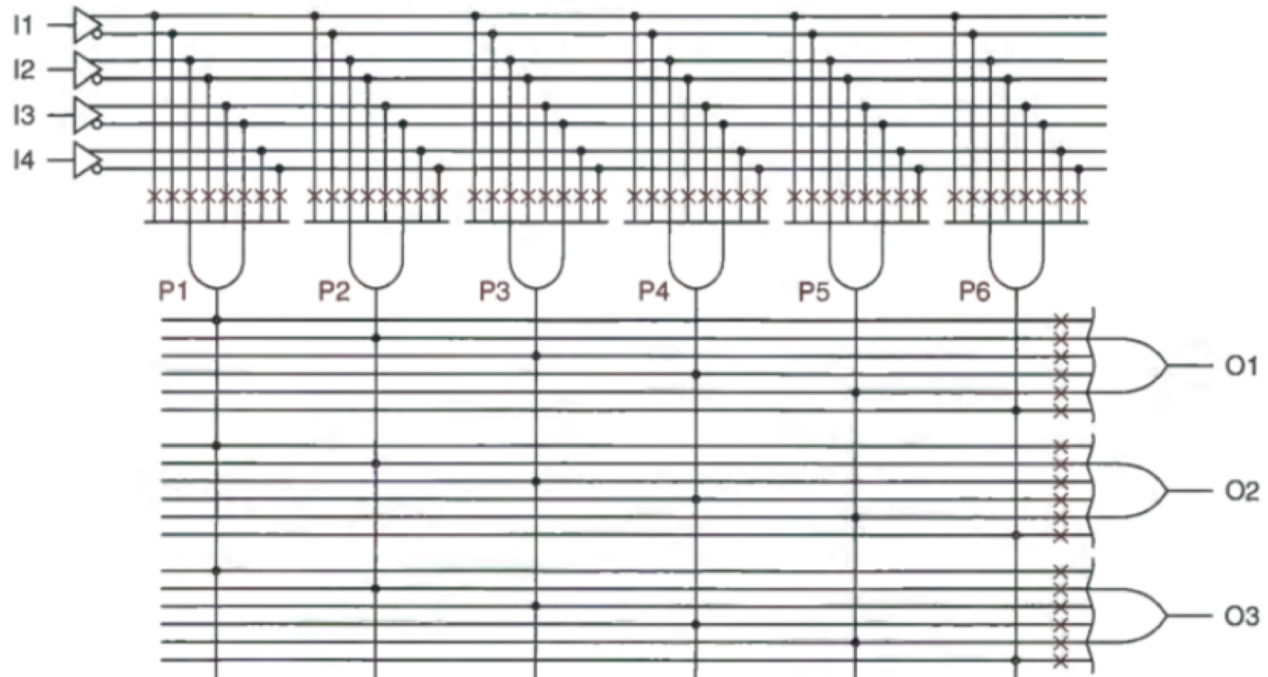


Figure 6-21 A 4 × 3 PLA with six product terms.

Ref: [3]

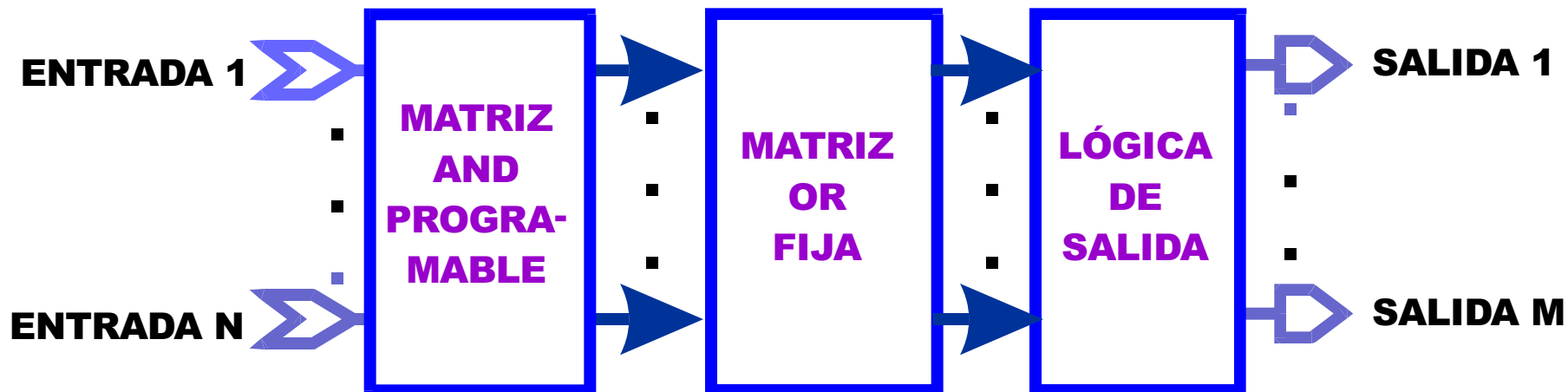


Tipos de dispositivos básicos

- P.R.O.M./E.P.R.O.M.
(Programmable Read Only Memory)
- P.A.L.
(Programmable Array Logic)
- P.L.A.
(Programmable Logic Array)
- G.A.L.
(Generic Array Logic)

G.A.L.

- Matriz AND programable
- Matriz OR fija



G.A.L.

- Ejemplo de dispositivo:
 - GAL16V8 (16 ent./8 sal.)

Ref: [3]

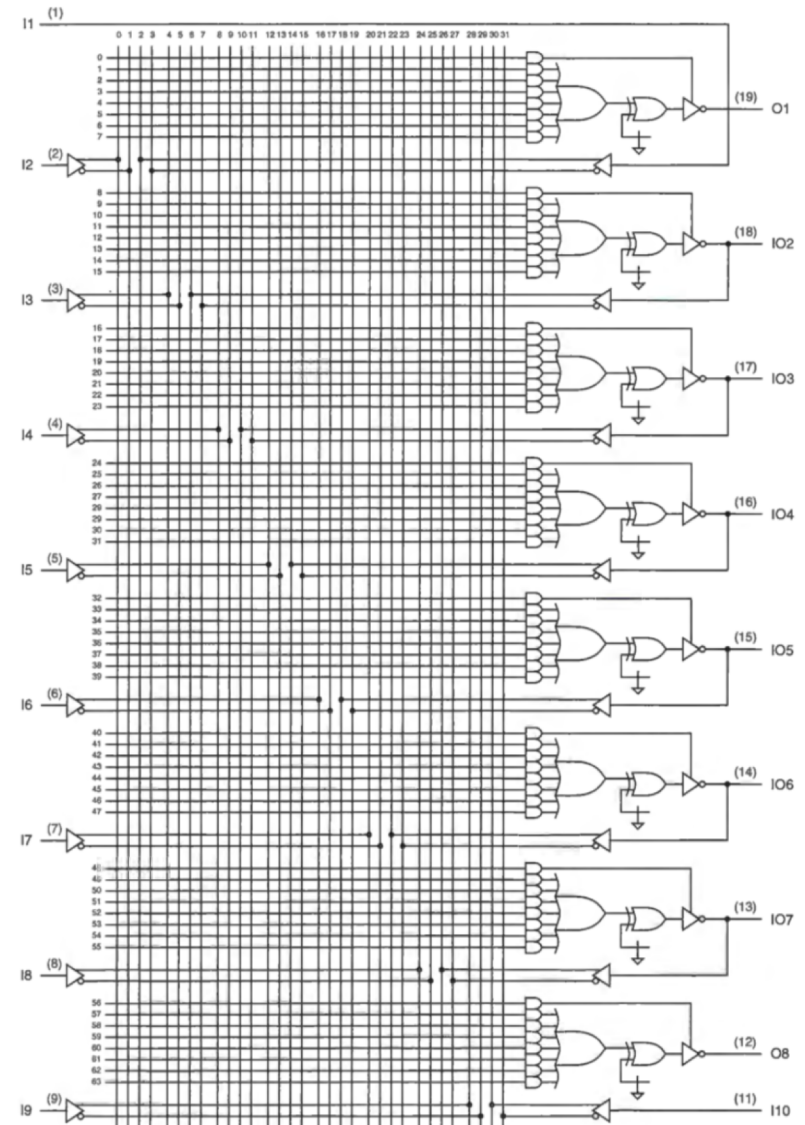
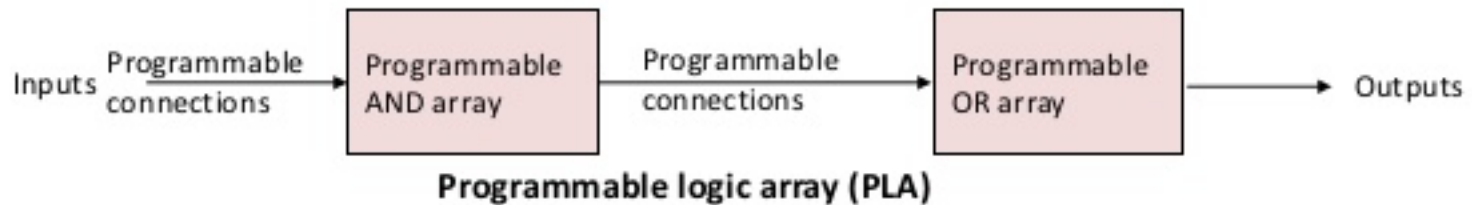
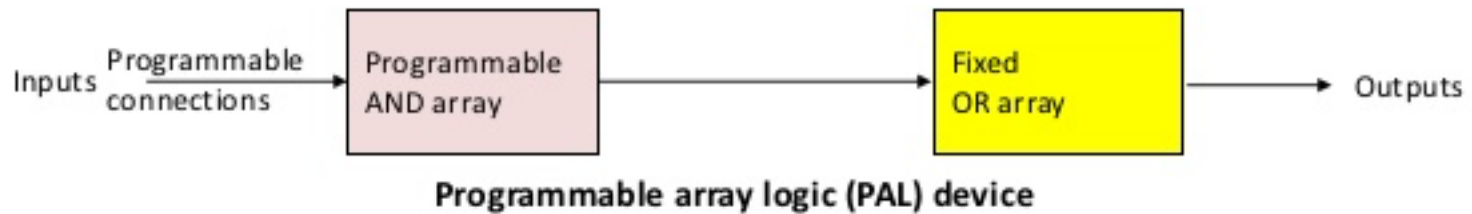
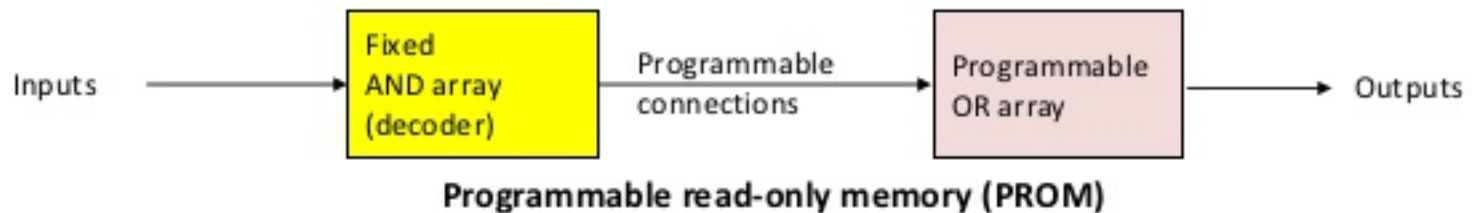


Figure 6-27 Logic diagram of the GAL16V8C.

Resumen SPLDs

All use AND-OR structure- differ in which is programmable





DISPOSITIVOS PROGRAMABLES COMPLEJOS (CPLDs)



Dispositivos Programables Complejos (CPLD)

- Los PLD's básicos son útiles para aplicaciones simples.
- Los CPLD's son versiones más completas de los PLD's básicos.
- Comparten filosofía y tipos de bloques funcionales.
- Añaden nuevas prestaciones.

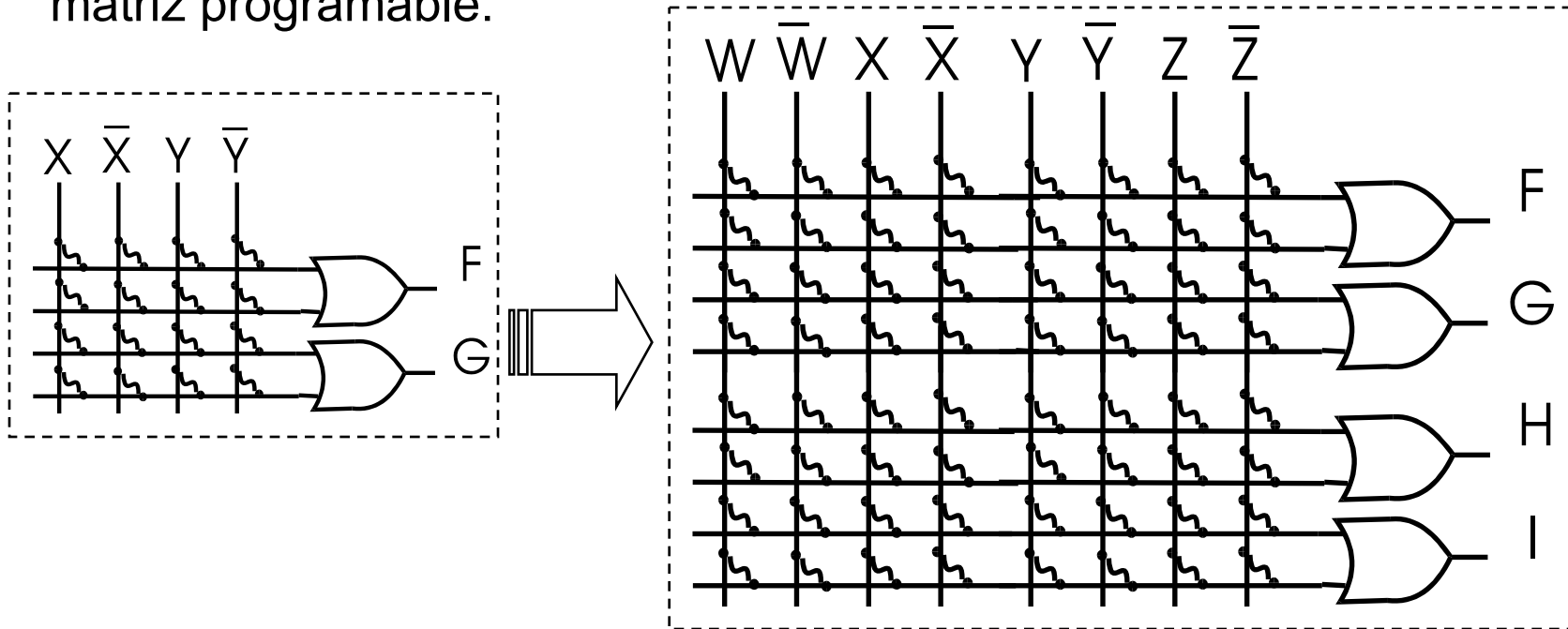


Consideraciones de diseño

- Para diseñar un CPLD podríamos utilizar dos estrategias:
 - 1.- Escalar un PLD.
 - 2.- Multiplicar un PLD.

Consideraciones de diseño (II)

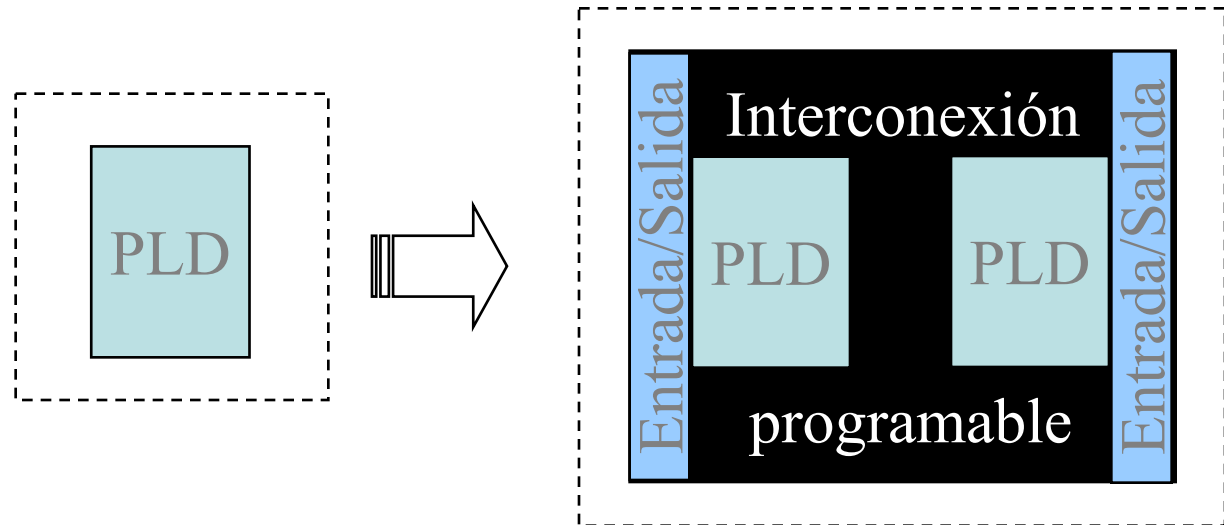
- Escalar un PLD (PLD aumentado)
 - Aumentar el número de entradas, salidas y el tamaño de la matriz programable:



- Inconvenientes:
 - Entradas crecen n , matriz n^2 veces mayor.
 - Matriz muy grande implica menor velocidad.

Consideraciones de diseño (III)

- Multiplicar un PLD (n PLD's en uno)
 - Incluir en una pastilla n PLD's simples con interconexiones entre ellos:



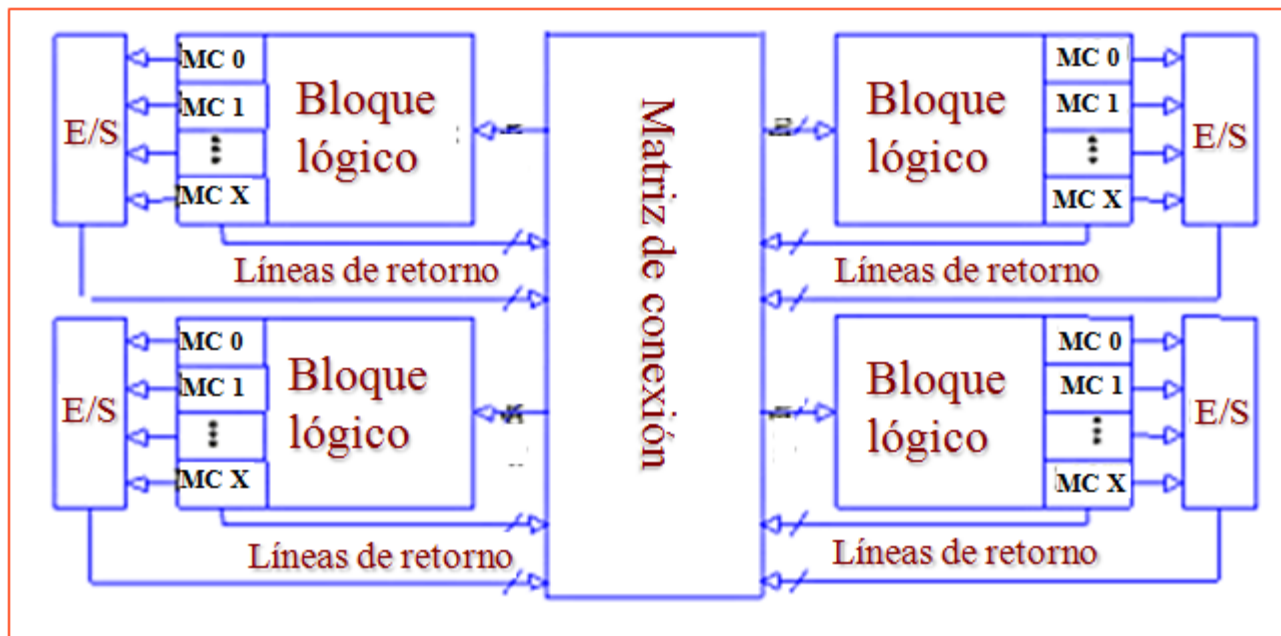
- Ventajas:
 - Chip n veces mayor que un PLD aprox.
- Inconvenientes:
 - Matriz interconexión compleja de diseñar.

Fabricantes

- En el mercado existen varios fabricantes de estos dispositivos:
 - ALTERA (AHORA INTEL P.S.G.)
 - MAX 7000, MAX II, MAX V
 - XILINX
 - XC9500, COOLRUNNER
 - LATICCE SEMICONDUCTOR
 - ispMACH 4000
 - ATMEL (AHORA MICROCHIP)
 - ATF 1500, ATF 700, ATF 2500
- Los más importantes son:
 - Altera (Intel):
 - Familia MAX 7000A
 - Xilinx:
 - Familia 9500
 - Familia CoolRunner (XPLA)

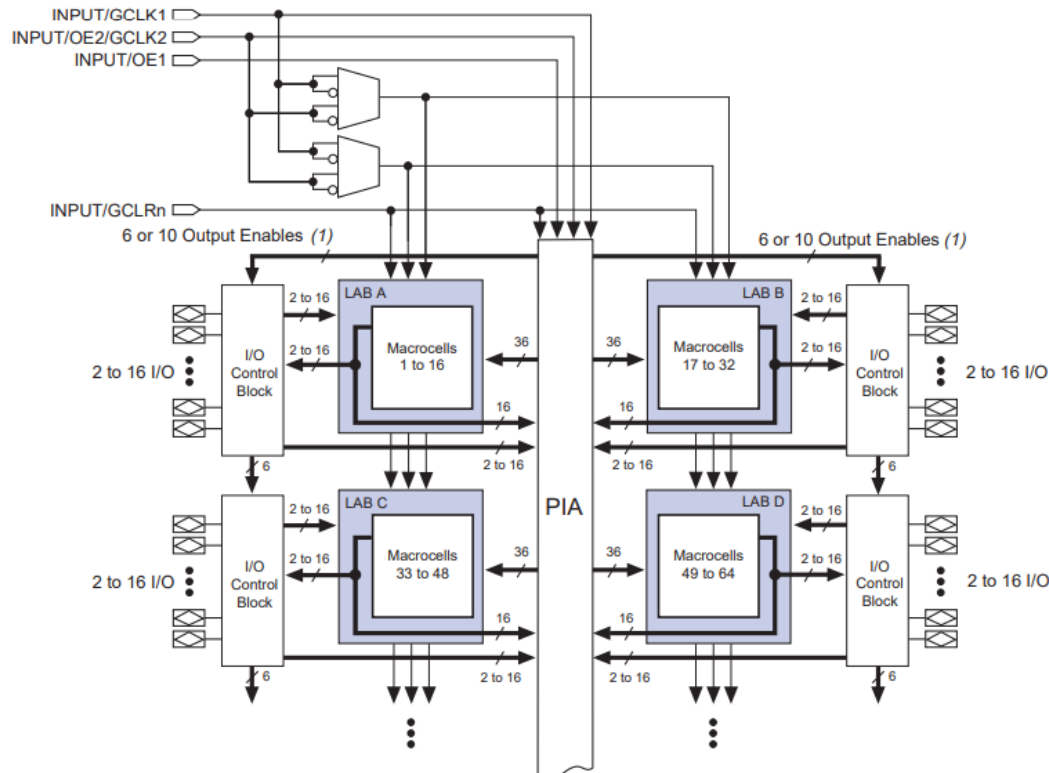
Arquitecturas

- Todos los fabricantes siguen una misma arquitectura
- Consta de bloques interconectados por una matriz.
(Multiplicar un PLD)



Arquitectura MAX 7000A (ALTERA)

- La empresa anunció que desaparecería a finales de 2017, pero aún están en producción.
- Arquitectura general:

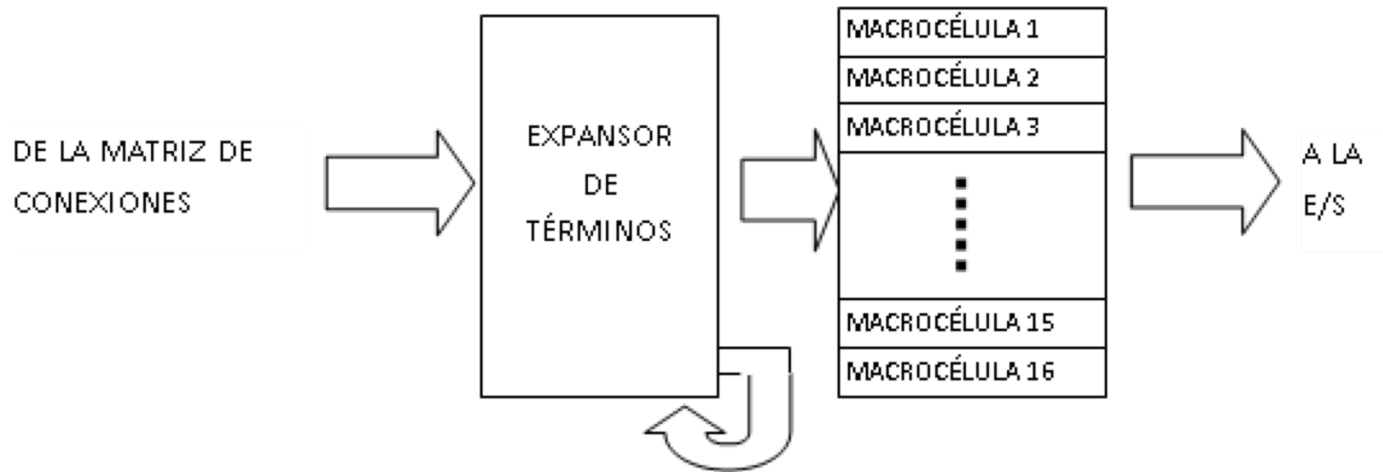


Arquitectura MAX 7000A (II)

- **Bloques lógicos (LAB)**

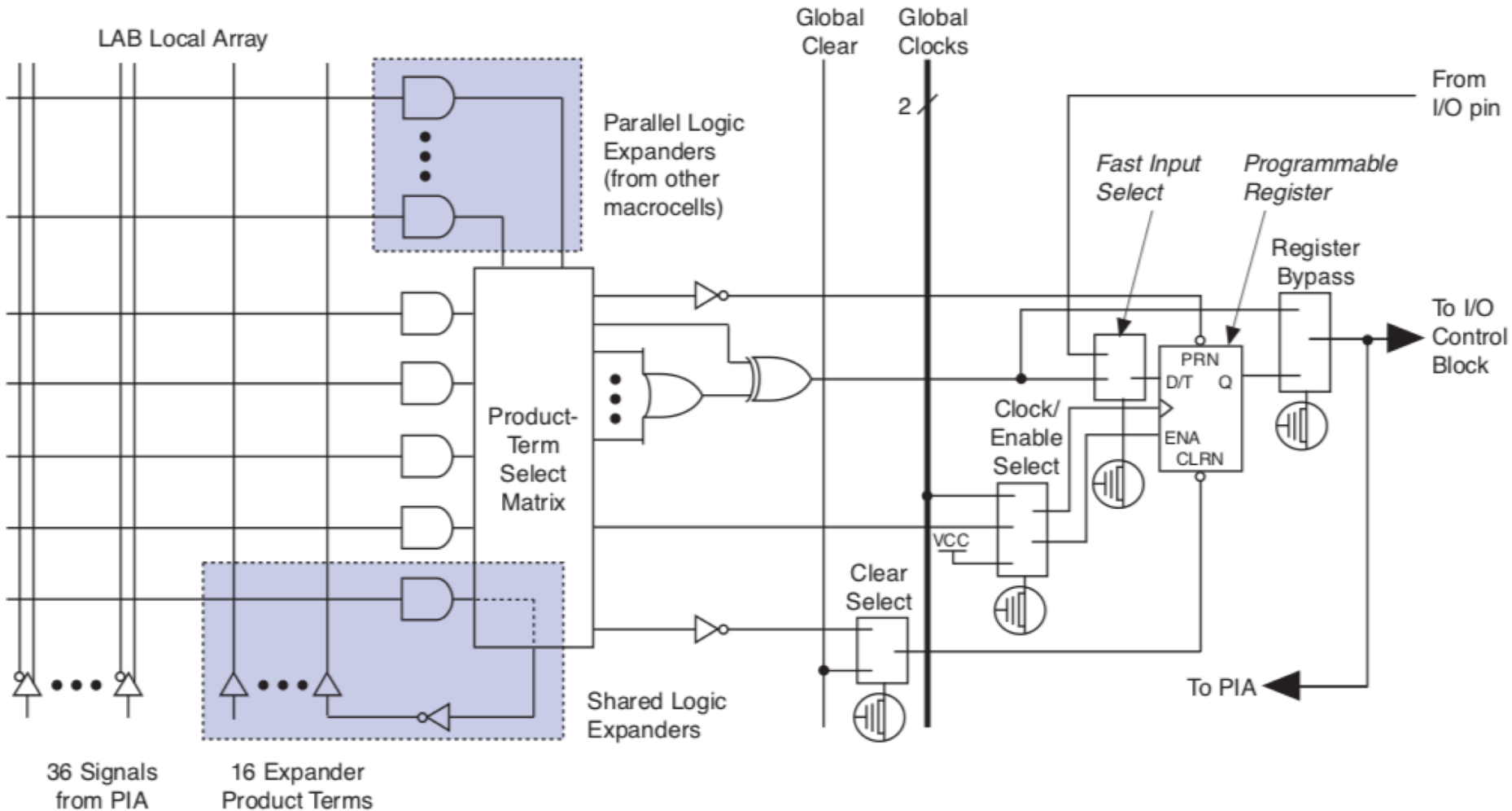
- Constituidos por:

- Un expansor de términos (matriz programable AND)
- 16 macrocélulas (con un biestable cada uno)



Arquitectura MAX 7000A (III)

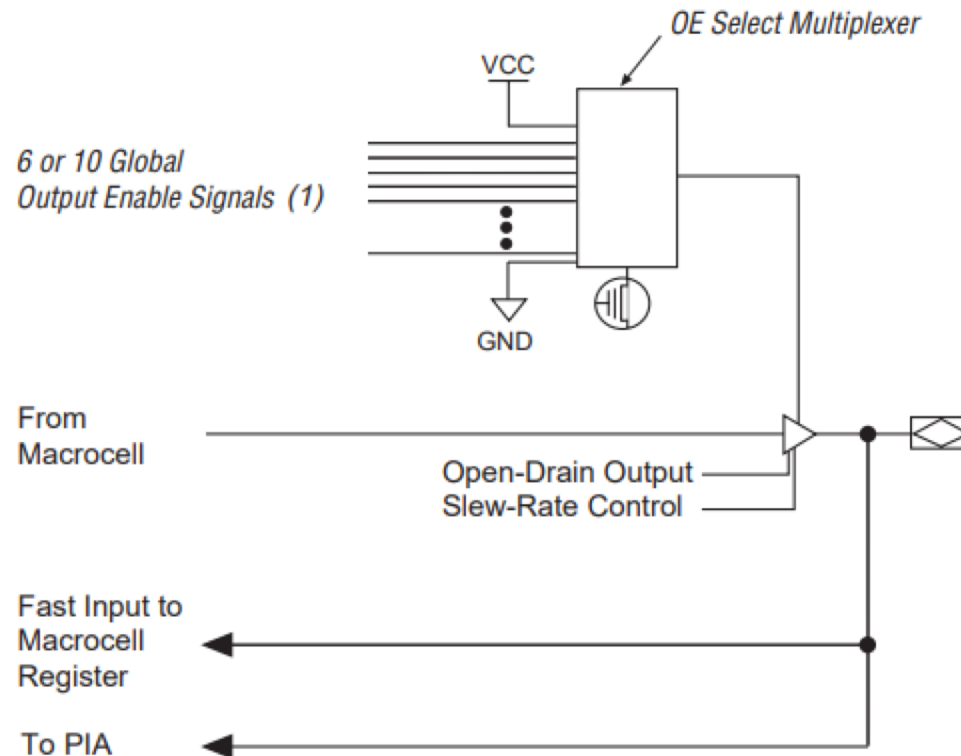
- Bloques lógicos (LAB): detalle**



Arquitectura MAX 7000A (IV)

- **Bloques E/S:**

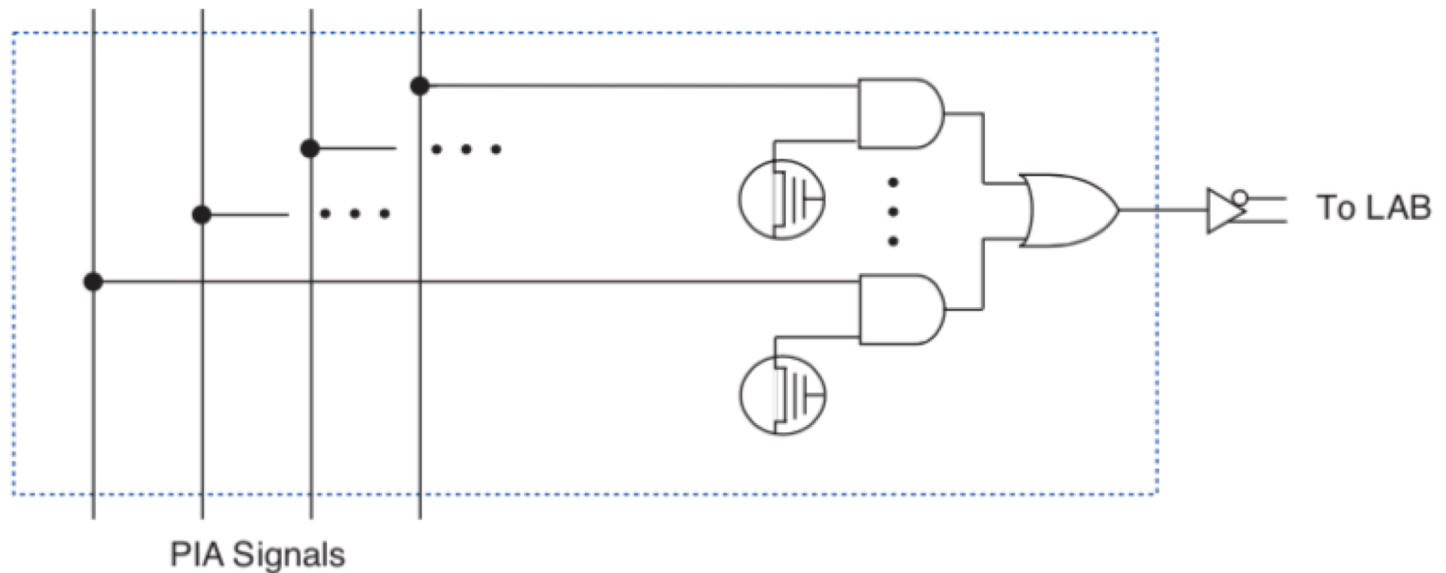
- Conectados directamente a los pines.
- Constituidos por un buffer triestado, lo que permite que un pin pueda ser entrada, salida o bidireccional.



Arquitectura MAX 7000A (V)

- **PIA:**

- Una célula EEPROM controla las salidas hacia el LAB



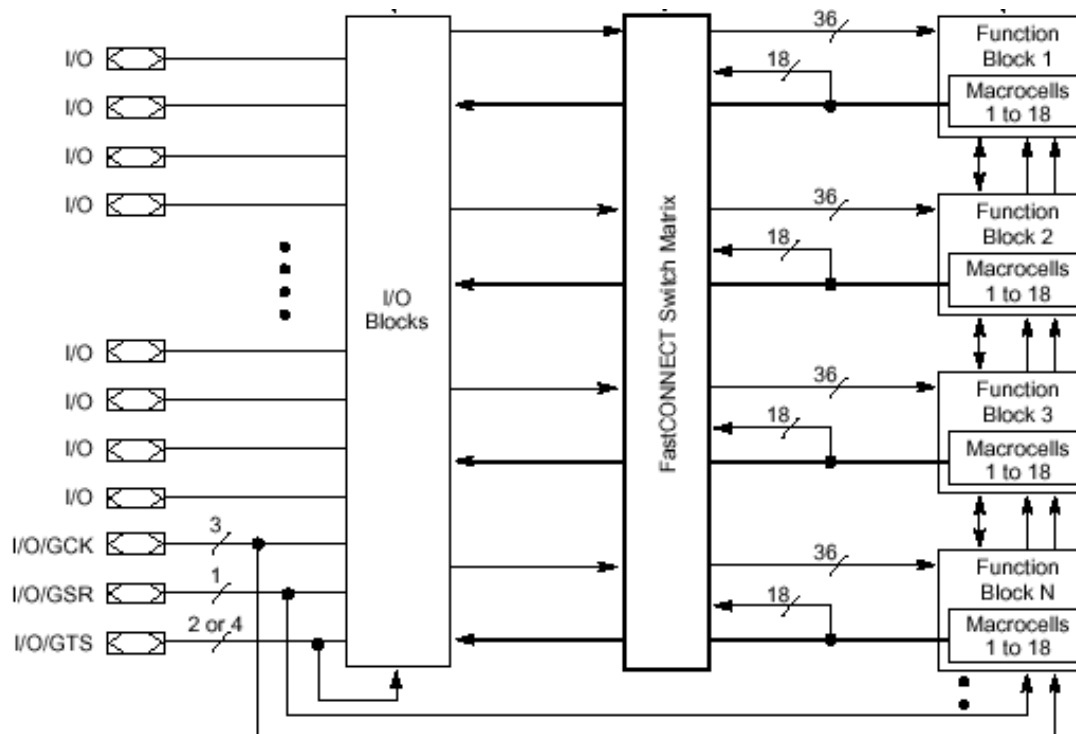
Arquitectura MAX 7000A (VI)

- **Dispositivos comerciales:**
 - Incluye 5 dispositivos.
 - En casi todos los casos disponemos de al menos dos dispositivos con el mismo encapsulado.

	EPM7032AE	EPM7064AE	EPM7128AE	EPM7256AE	EPM7512AE
Nº de puertas equivalente	600	1,250	2,500	5,000	10,000
Macro células	32	64	128	256	512
Bloques lógicos	2	4	8	16	32
Pines de E/S	36	68	100	164	212
Encapsulado	44PinPLCC 44PinTQFP	44PinPLCC 44PinTQFP 84PinPLCC	84PinPLCC 100PinTQFP 100Pin BGA 144PinTQFP 256Pin BGA	100PinTQFP 100Pin BGA 144PinTQFP 208PinPQFP 256Pin BGA	144PinTQFP 208PinPQFP 256Pin BGA

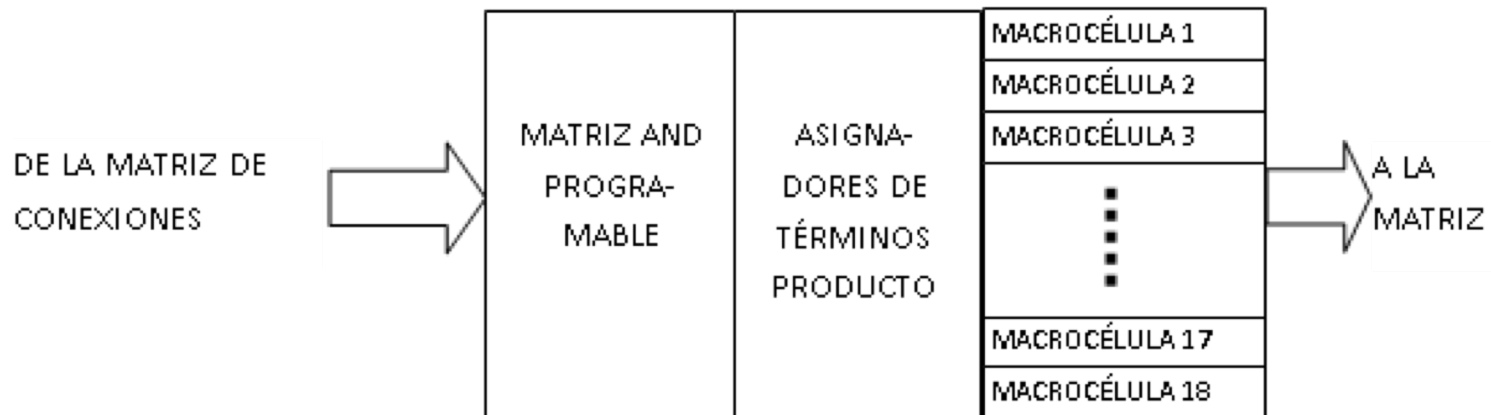
Arquitectura XC9500 (XILINX)

- Primera arquitectura desarrollada por la empresa.
- Arquitectura general:

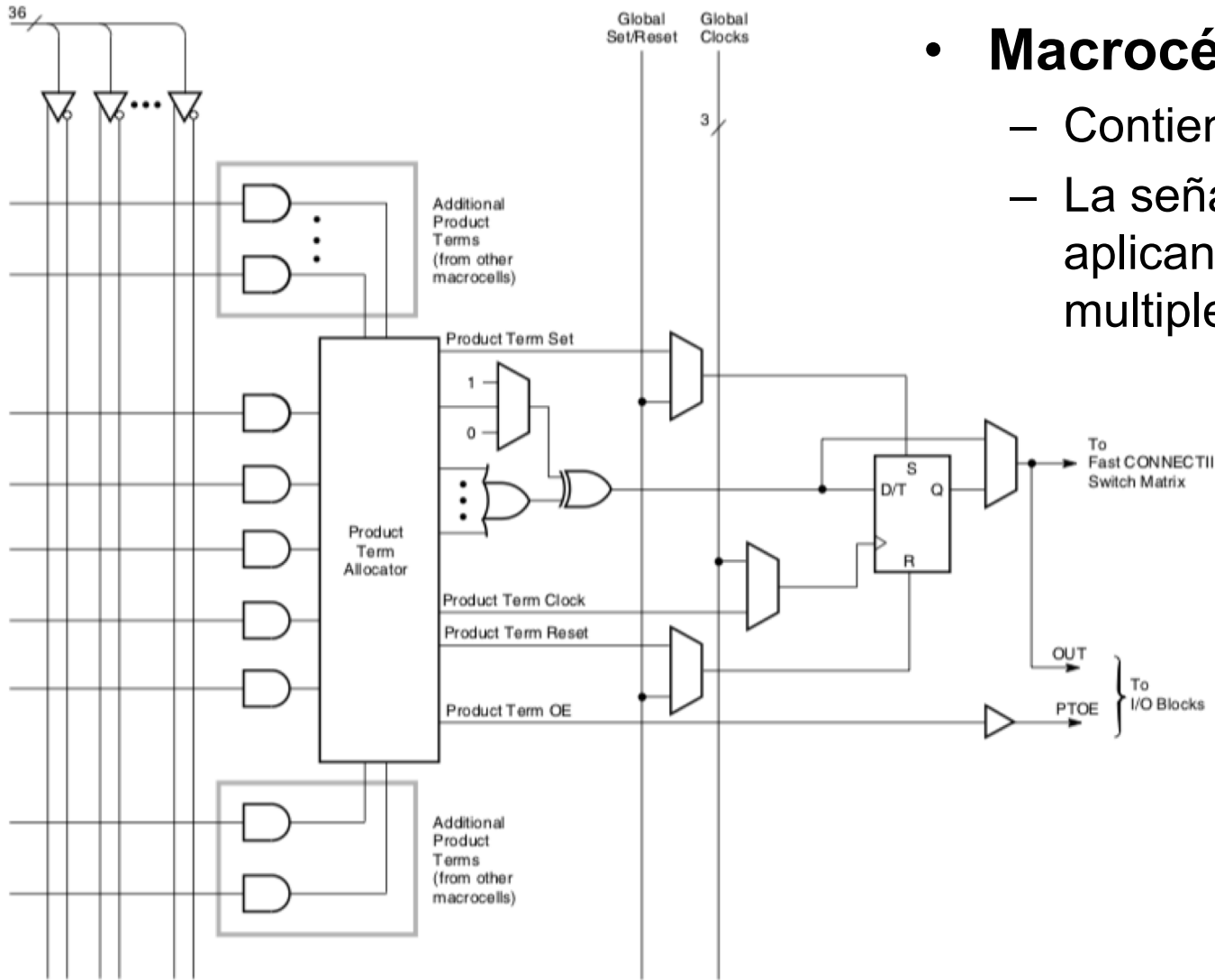


Arquitectura XC9500 (II)

- **Bloques de función (FB):**
 - Constituidos por:
 - Una matriz AND programable
 - Asignadores de términos producto
 - 18 macrocélulas



Arquitectura XC9500 (III)



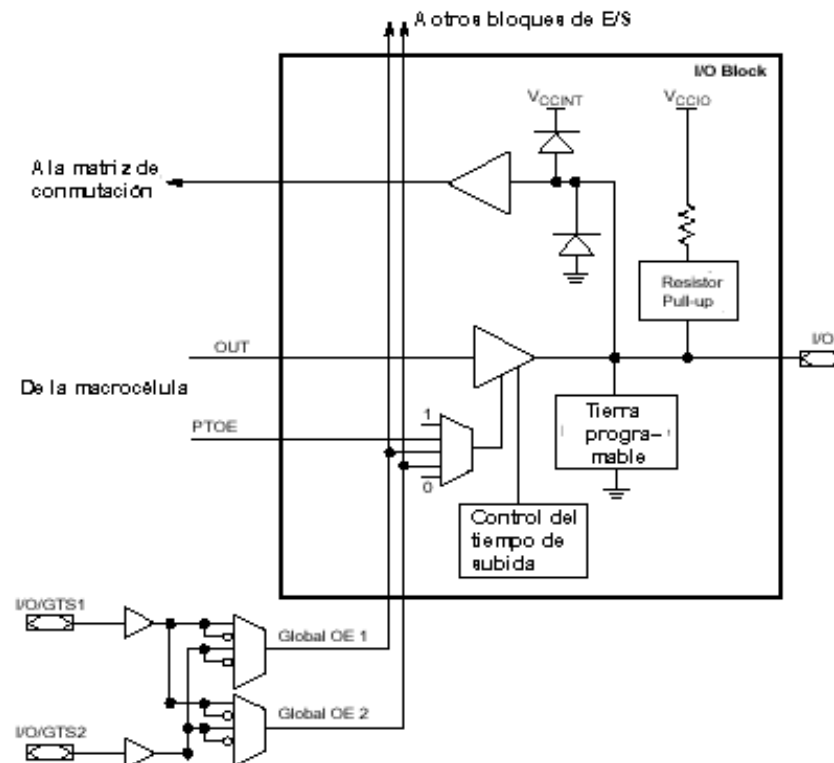
- **Macro célula**

- Contiene un biestable.
- Las señales de control se aplican a través de multiplexores.

Arquitectura XC9500 (IV)

- **Bloques E/S:**

- Conectados directamente a los pines.
- Constituidos por un buffer triestado, lo que permite que un pin pueda ser entrada, salida o bidireccional.



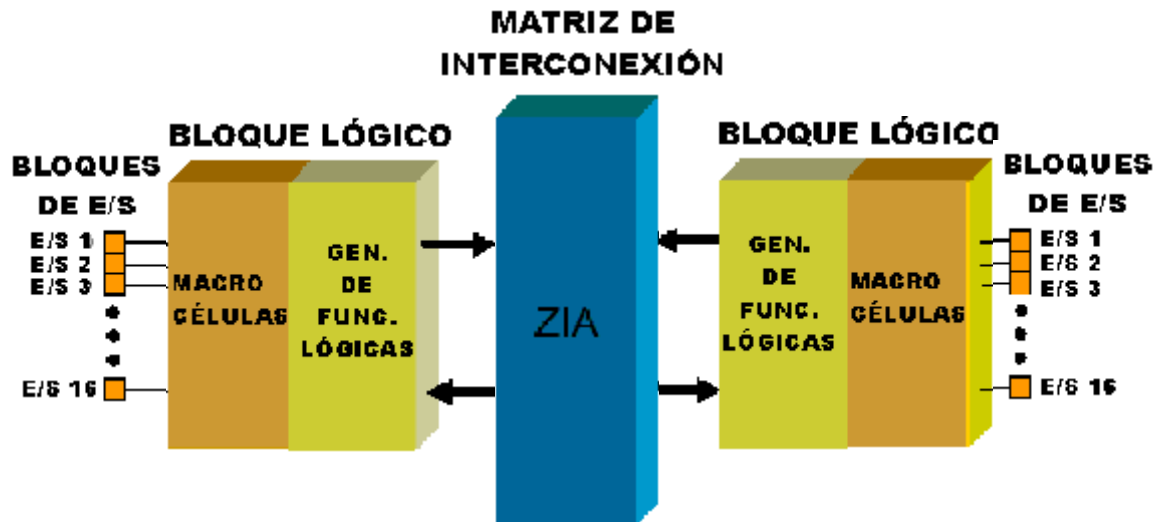
Arquitectura XC 9500 (V)

- Dispositivos comerciales:
 - Incluye 6 dispositivos.
 - En casi todos los casos disponemos de al menos dos dispositivos con el mismo encapsulado.

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Nº de puertas equivalente	800	1,600	2,400	3,200	4,800	6,400
Macro células	36	72	108	144	216	288
Bloques de función	2	4	6	8	12	16
Encapsulado	Pines disponibles para E/S					
44 Pin VQFP	34					
44 Pin PLCC	34	34				
48 Pin CSP	34					
84 Pin PLCC		69	69			
100 Pin TQFP		72	81	81		
100 Pin PQFP		72	81	81		
160 Pin PQFP			108	133	133	
208 Pin PQFP					166	168
208 Pin BGA					166	192

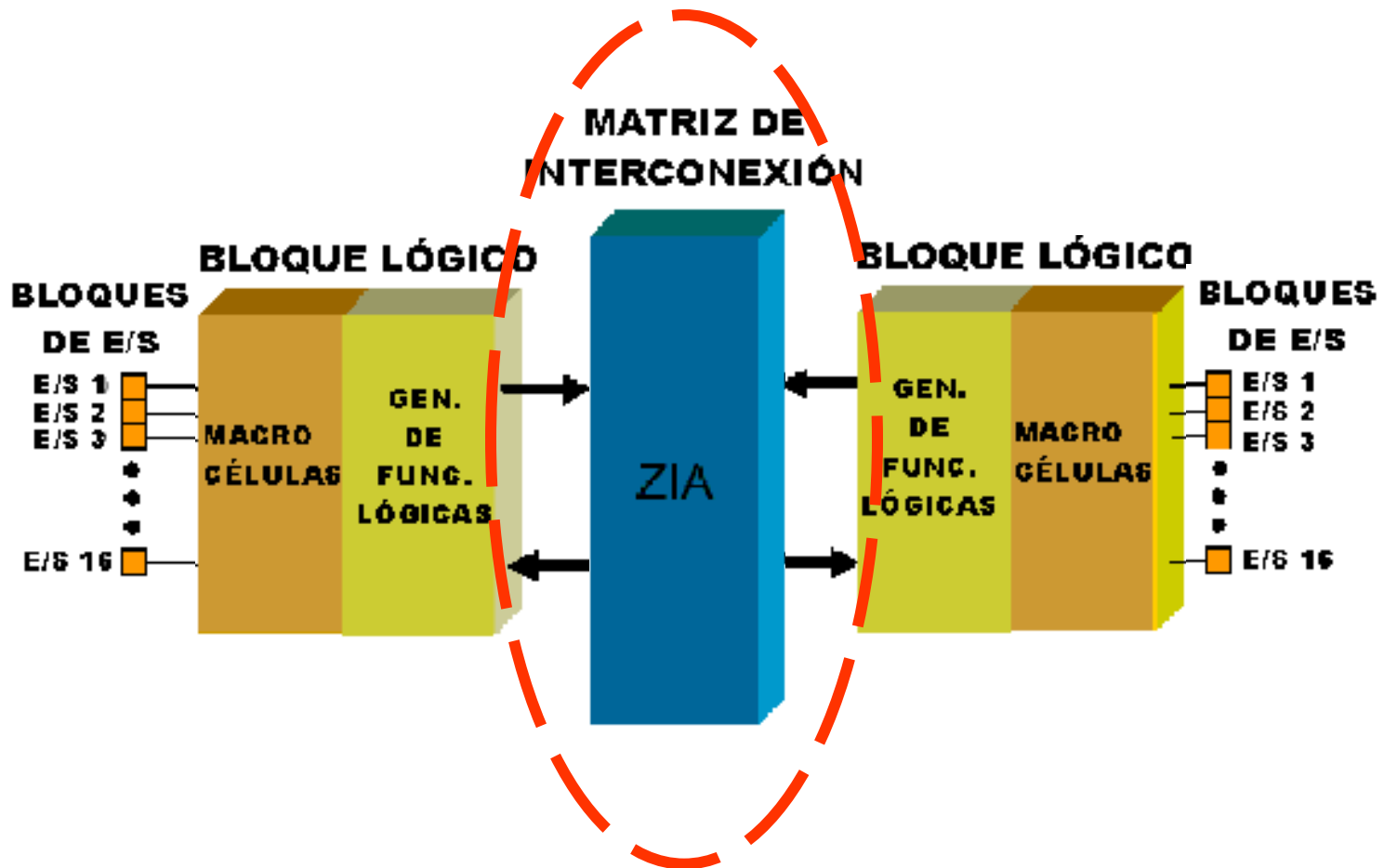
Arquitectura CoolRunner XPLA3

- **Bloques:**
 - Matriz de interconexión.
 - Bloque lógico:
 - Generador de funciones lógicas.
 - Macrocélulas.
 - Bloque de E/S.



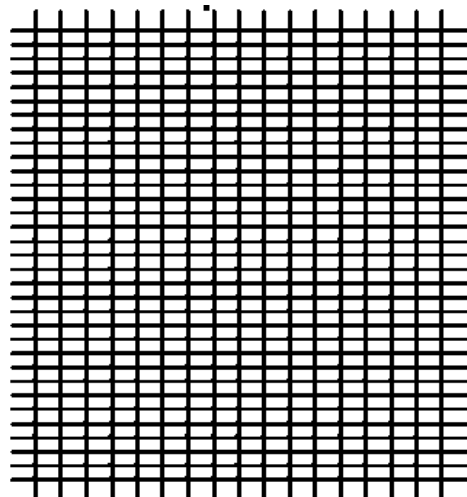
Arquitectura XPLA3 (II)

- **Matriz de interconexión (ZIA):**
 - “Zero power Interconnect Array”

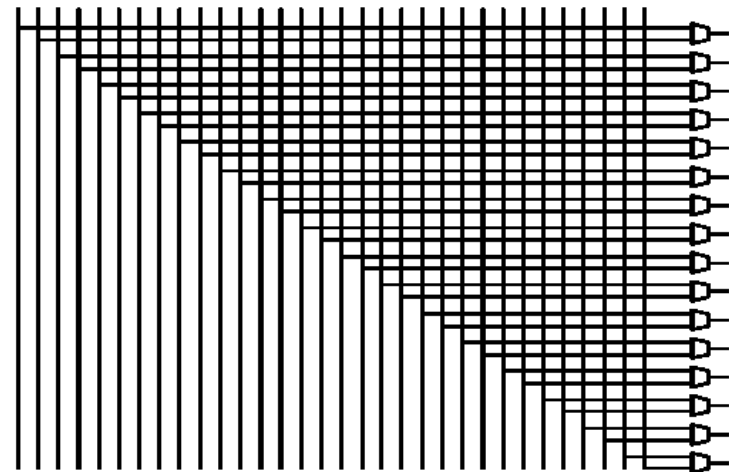


Arquitectura XPLA3 (III)

- **Matriz de interconexión (ZIA) (II):**
 - Constituida por una matriz incompleta con multiplexores programables.
 - Tiene un menor número de puntos de conexión. (No permite conexión al 100%).
 - El diseño permite encaminado al 99'997%.



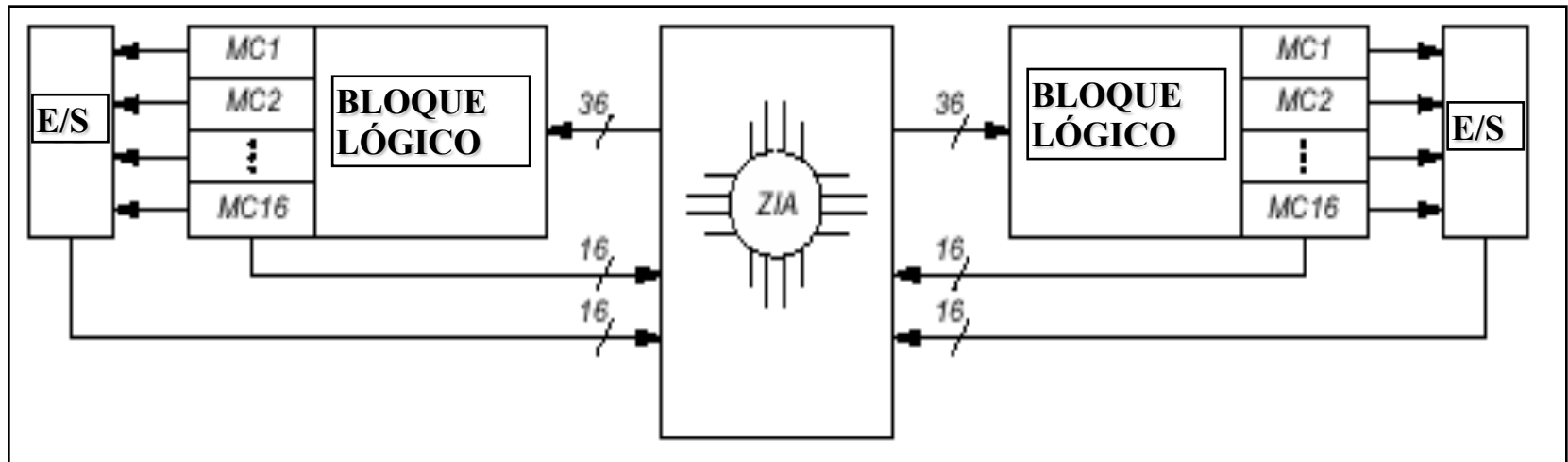
Matriz completa



Matriz incompleta con multiplexores.

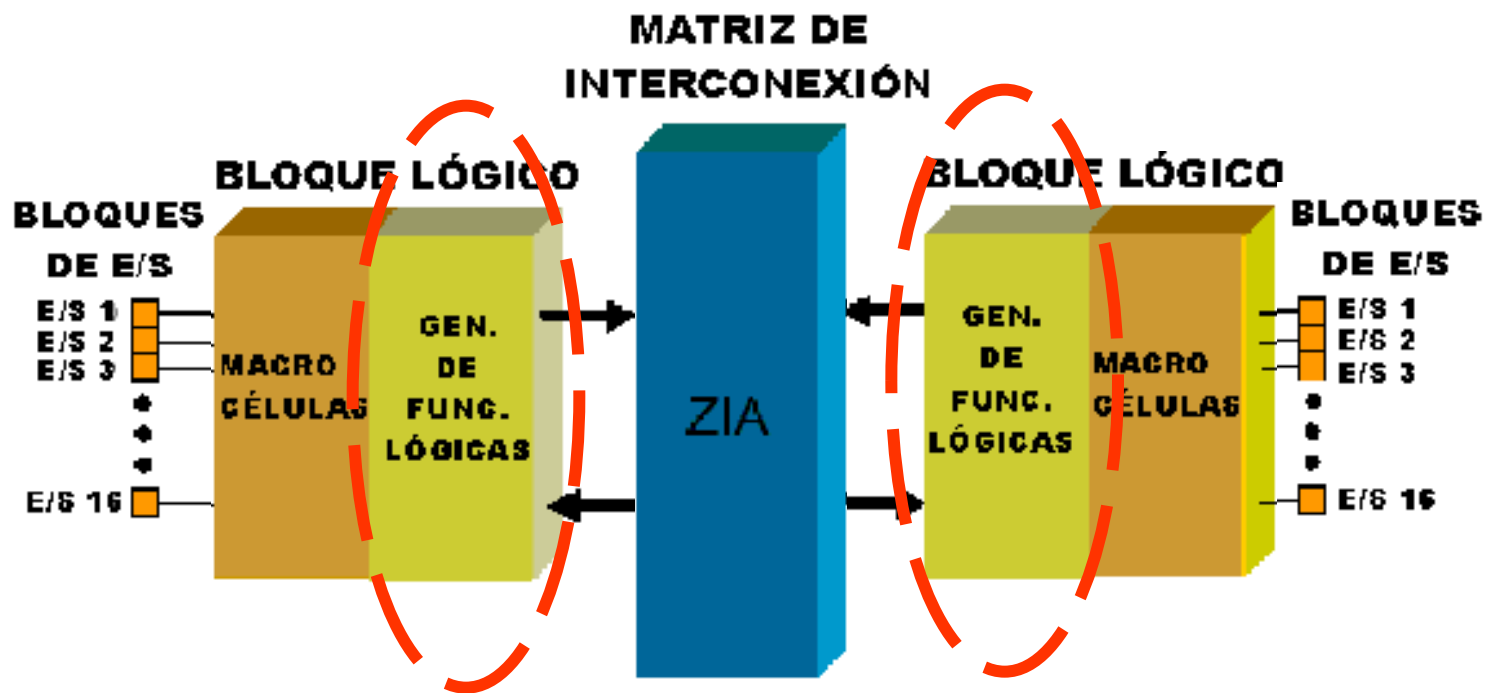
Arquitectura XPLA3 (IV)

- **Matriz de interconexión (ZIA) (III):**
 - 36 pares de salidas hacia cada bloque lógico.
 - 16 pares de entradas de las 16 macrocélulas.
 - 16 pares de entradas de cada bloque de E/S.



Arquitectura XPLA3 (V)

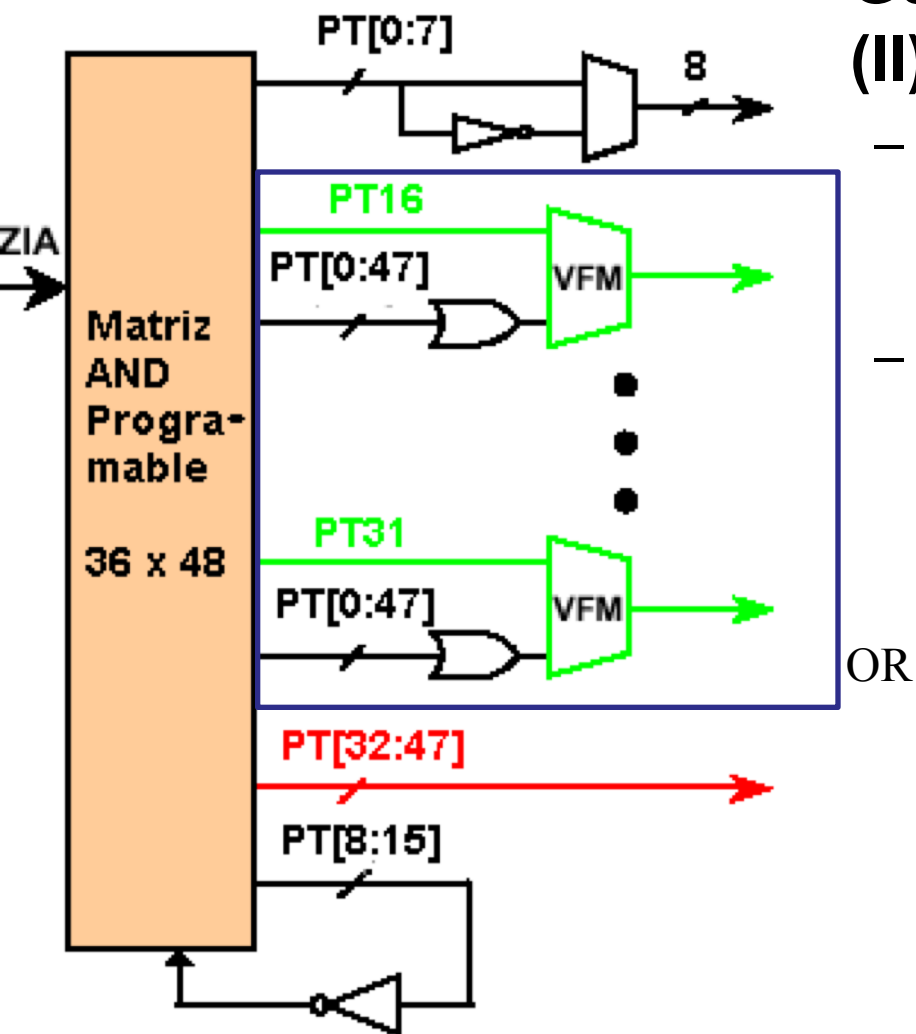
- **Generador de funciones lógicas:**
 - Parte combinacional de los dispositivos lógicos programables individuales



Arquitectura XPLA3 (VI)

• Generador de funciones lógicas (II):

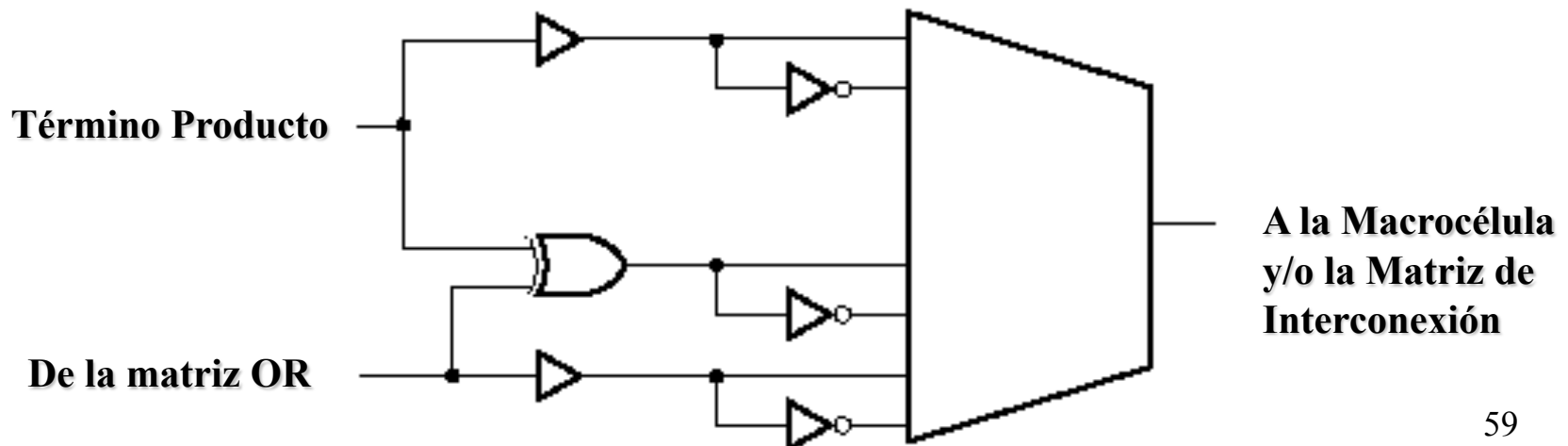
- Contiene una PLA formada por:
 - Una matriz AND de 36x48.
 - Una matriz OR de 48x16.
- Las 48 salidas de la matriz AND también pueden tener otro uso:
 - 0:7: términos de control. Comunes a todas las macrocélulas.
 - 8:15: NANDS que retornan a la matriz.
 - 16:31: términos de bajo retardo al bloque VFM. Uno por macrocélula.
 - 32:47: términos producto de reloj. Uno por macrocélula.



Arquitectura XPLA3 (VII)

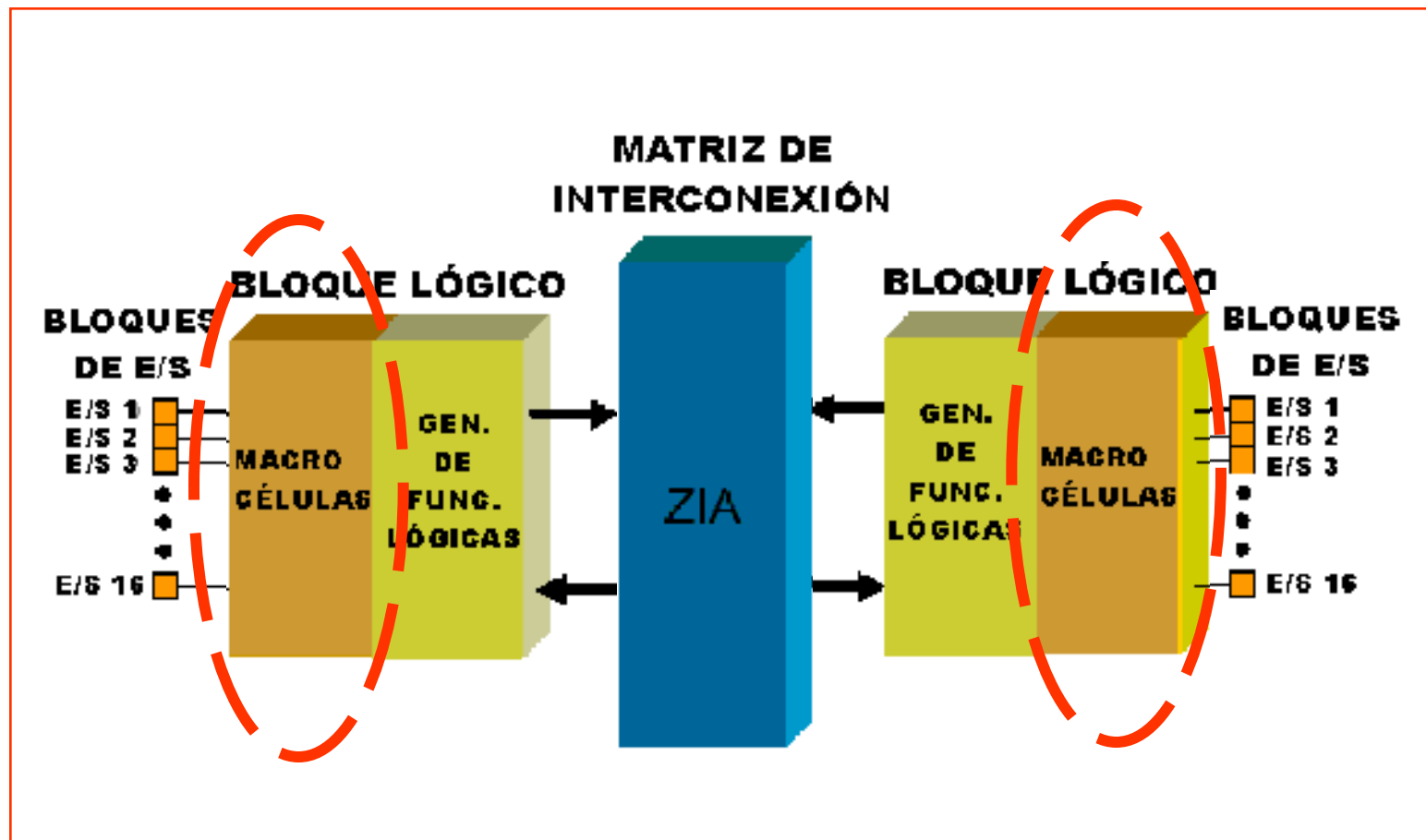
- **Generador de funciones lógicas (II): Multiplexor de funciones (VFM)**

- Formado por: multiplexor y varias puertas.
- Permite elegir entre:
 - El término producto de bajo retardo.
 - La salida de la matriz OR.
 - La OR-EXCLUSIVA de ambos.
 - La negación de los anteriores.



Arquitectura XPLA3 (VIII)

- **Macro células:**
 - Es la parte del bloque lógico que contiene la lógica secuencial.

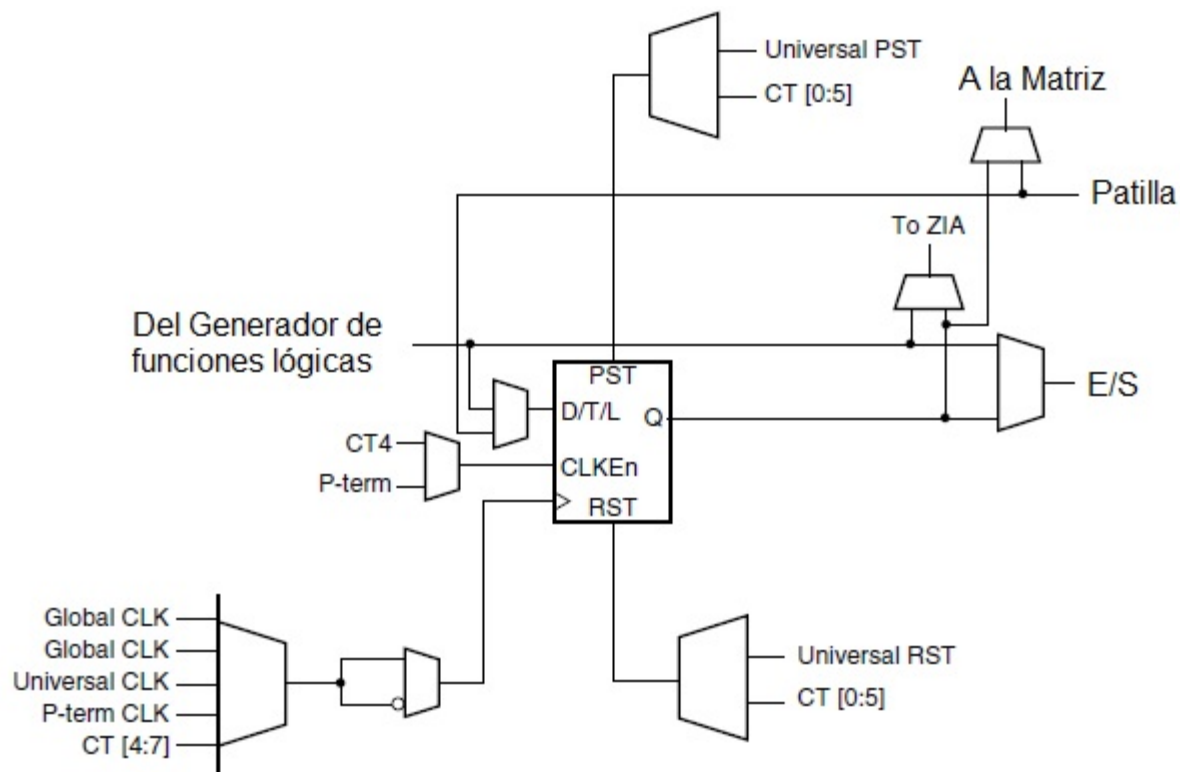


Arquitectura XPLA3 (IX)

- Macrocelulas (II):

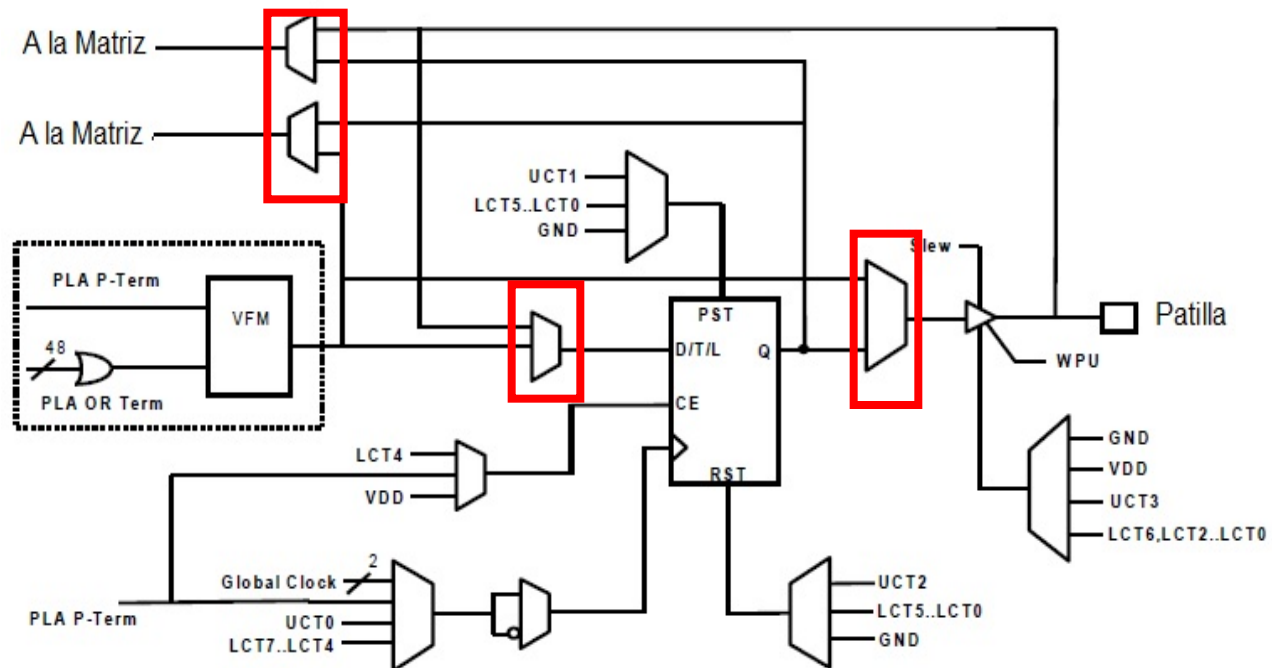
- Consta de:

- Un biestable tipo T/D/L.
- Multiplexores para dirigir las señales a aplicar al biestable y las entradas y salidas.



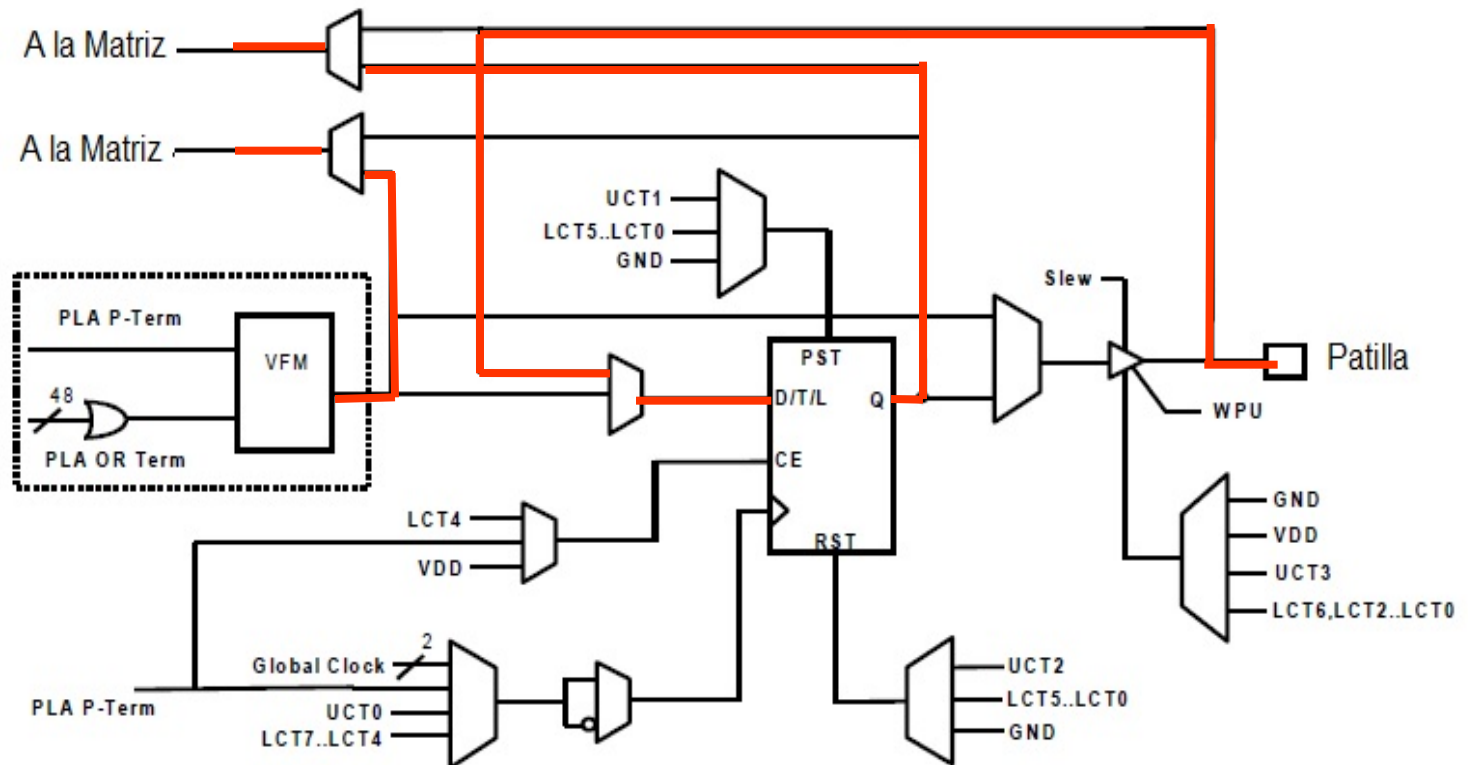
Arquitectura XPLA3 (X)

- Macro células (III) - Multiplexores:
 - Permiten encaminar las señales:
 - Del bloque multiplexor de funciones.
 - Del biestable.
 - A la entrada/salida.
 - A la matriz de interconexión.



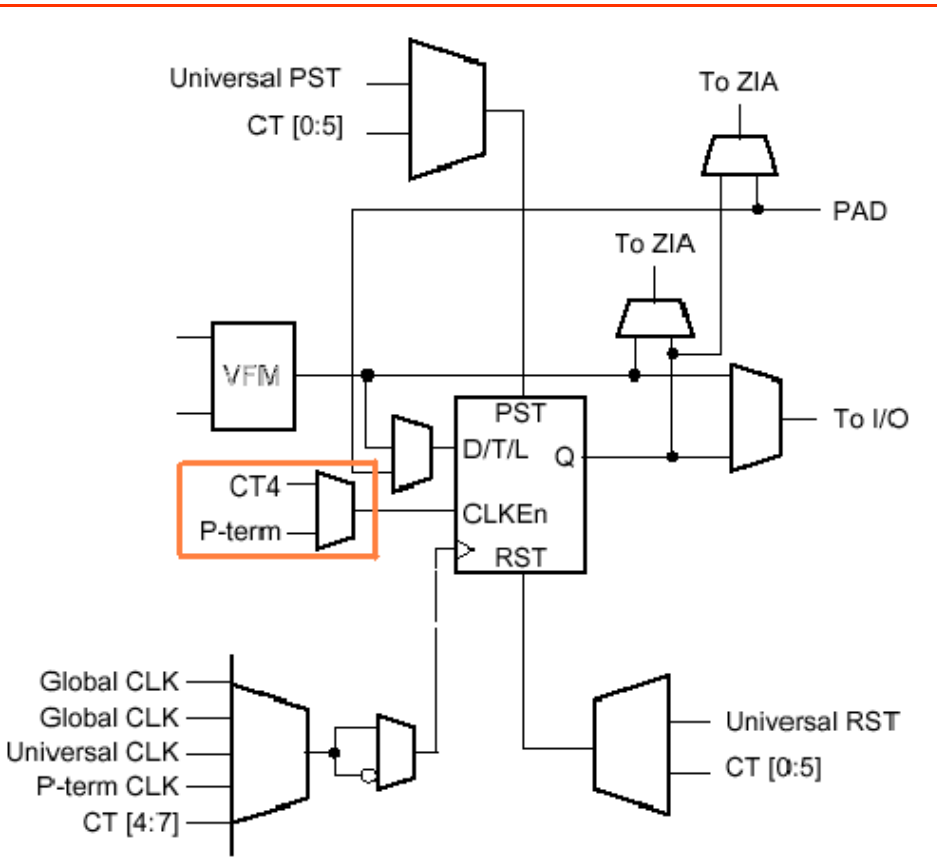
Arquitectura XPLA3 (XI)

- Macrocelulas (IV) - Multiplexores:
 - Su configuración permite variadas conexiones, aprovechando al máximo la lógica.



Arquitectura XPLA3 (XII)

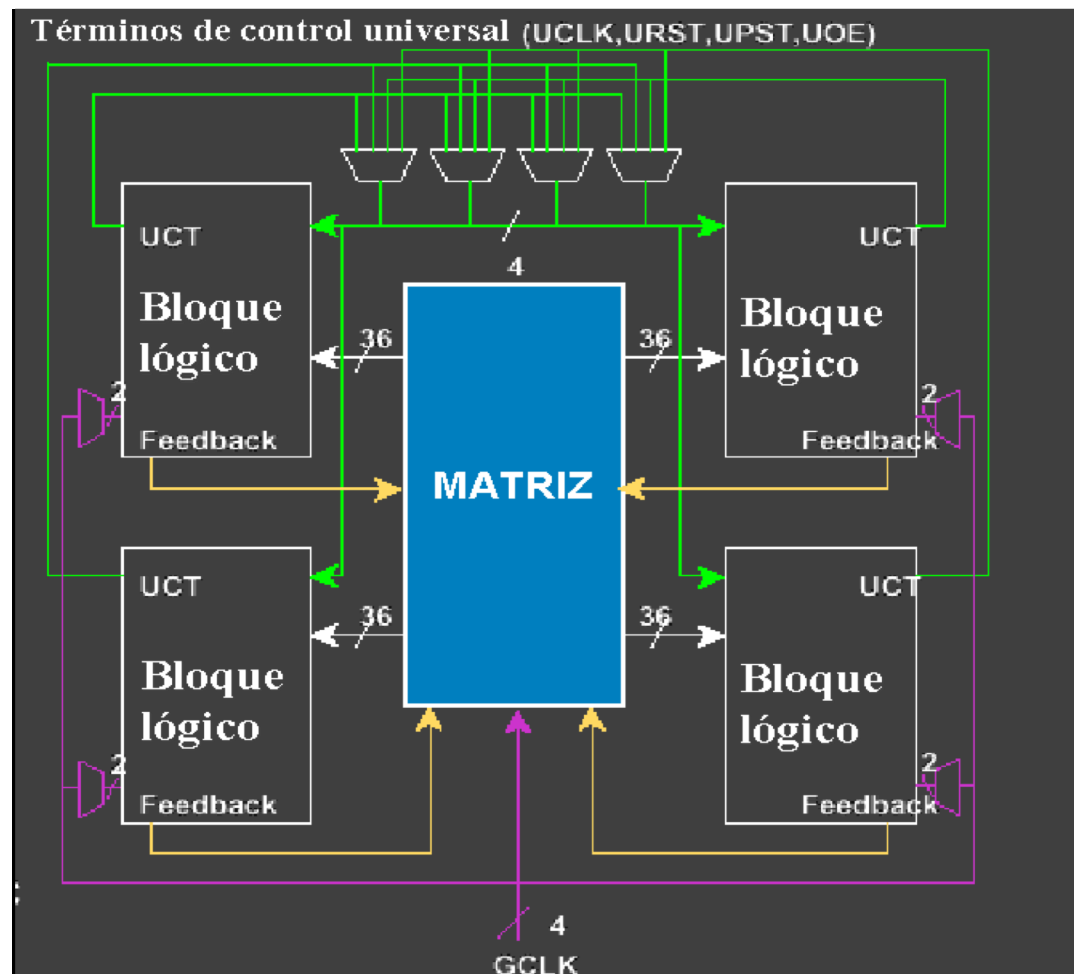
- **Macro células (V) - Biestable:**



- Podemos programar el tipo : D,T,L.
- 8 posibles relojes: “Global” y “Universal Clock”, PT y CT(4:7)
- Control programable:
 - “Reset” (7 posibles): CT(0:5) y “Universal Reset”.
 - “Preset” (7 posibles): CT(0:5) y “Universal Preset”.
 - Habilitación de reloj (2 términos a elegir): CT4 y PT.

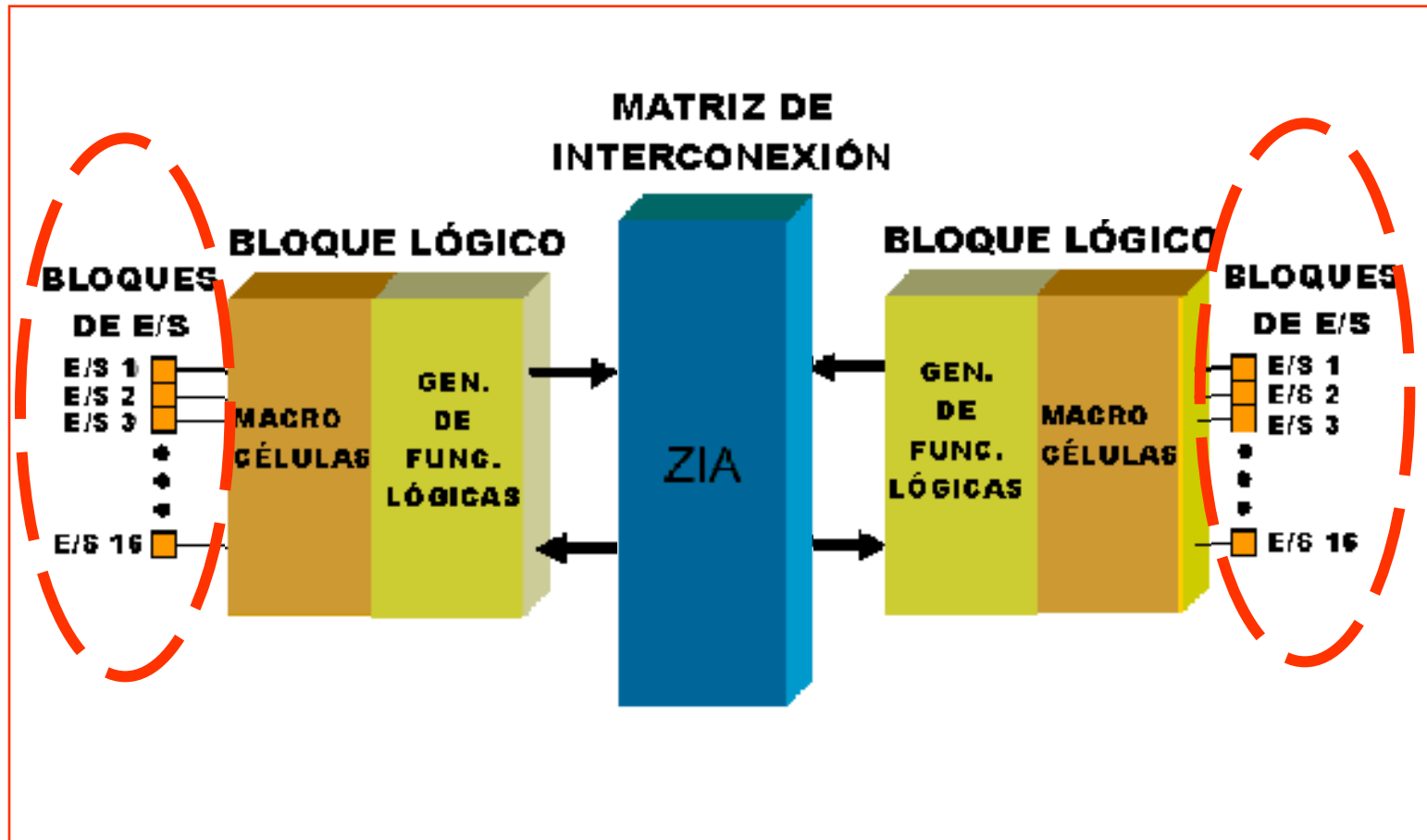
Arquitectura XPLA3 (XIII)

- Relojes y control:
 - Hasta 5 señales externas de reloj y 3 de control.



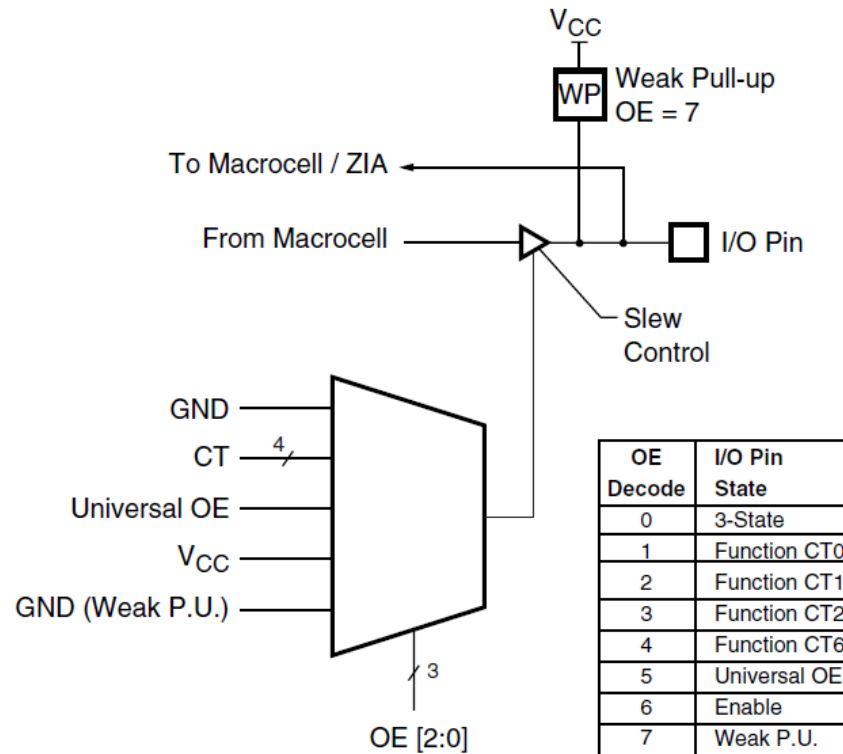
Arquitectura XPLA3 (XIV)

- Bloque de E/S:
 - Comunicación de los circuitos con el exterior.



Arquitectura XPLA3 (XV)

- Bloque de E/S (II):
 - Compuesto por:
 - Un “buffer” triestado con selección del tiempo de subida.
 - Resistor de “pull up”.
 - Multiplexor de control.



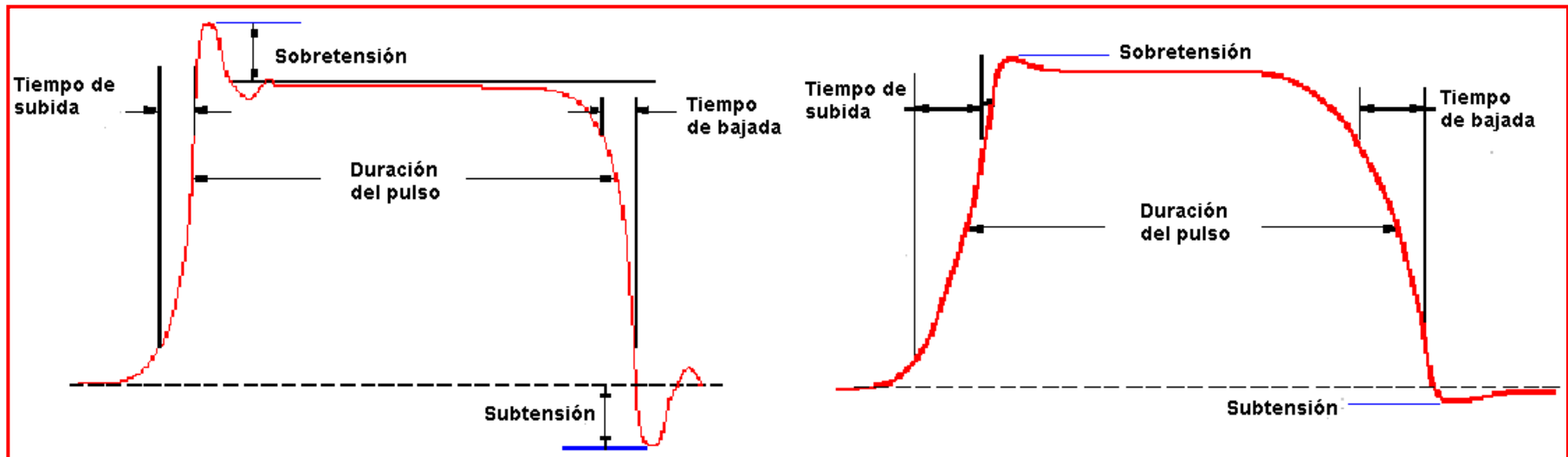


Arquitectura XPLA3 (XVI)

- Bloque de E/S. Características analógicas (III):
 - Selección del tiempo de subida y bajada.
 - Una transición muy rápida puede producir interferencias (EMI).
 - Podemos seleccionar entre subida y bajada normal o agregarle un valor de 2 ns.
 - El aumento reduce las interferencias y las sobre y sub tensiones.

Arquitectura XPLA3 (XVII)

- Bloque de E/S. Características analógicas (IV):
 - Selección del tiempo de subida y bajada.
 - Representación gráfica:

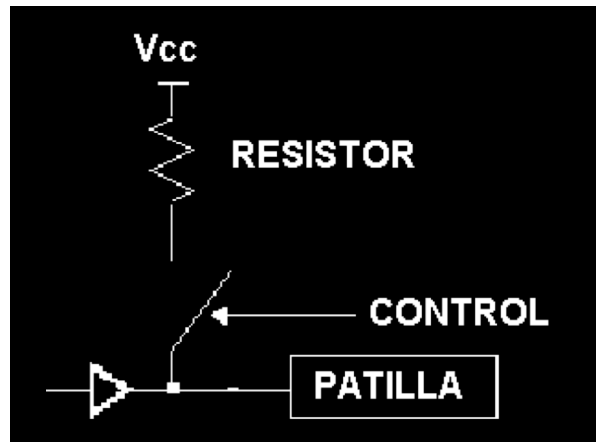


Tiempo de subida normal

Tiempo de subida con aumento de 2 ns.

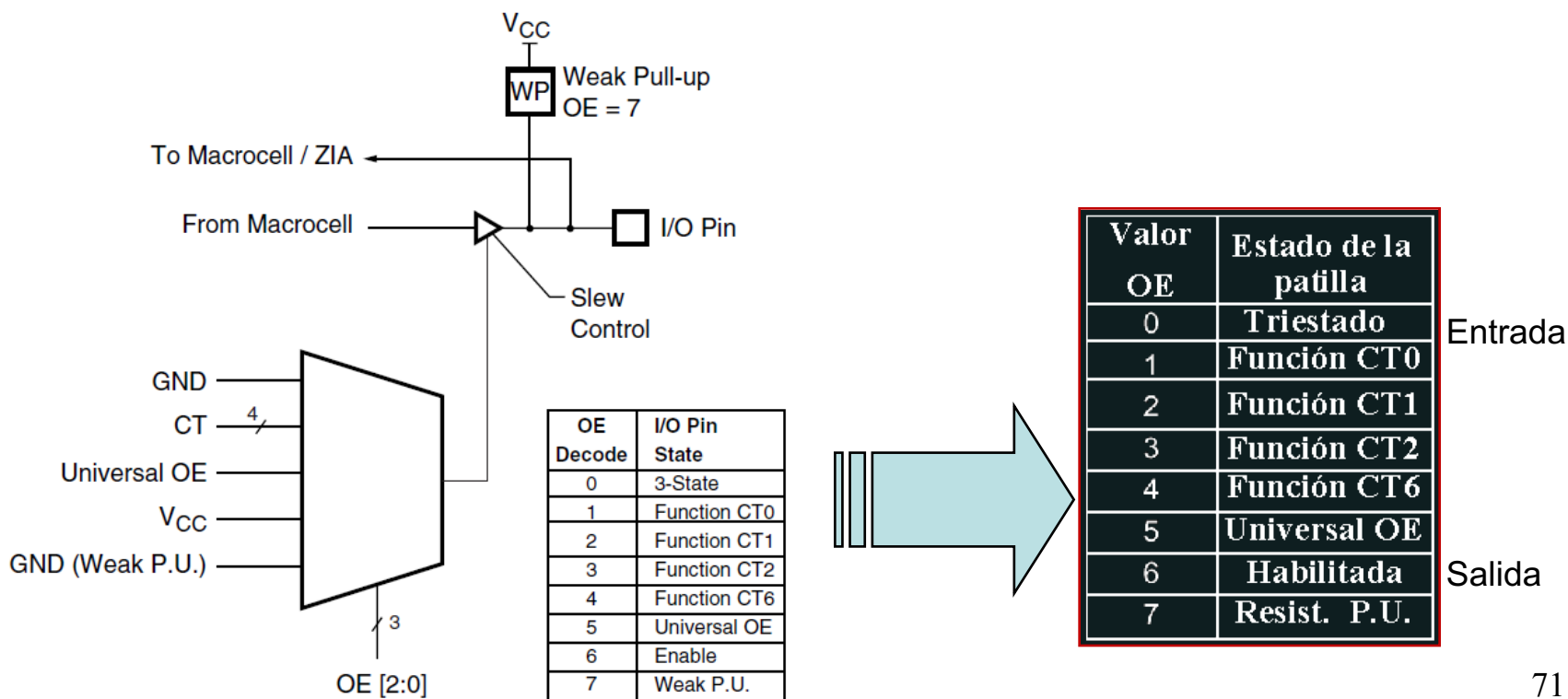
Arquitectura XPLA3 (XVIII)

- Bloque de E/S. Características analógicas (IV):
 - Resistor de “pull-up”
 - Si una patilla queda al aire, se puede producir una tensión tal que los transistores conduzcan y consuman.
 - Con el resistor, se elimina esta posibilidad (patilla a alimentación).



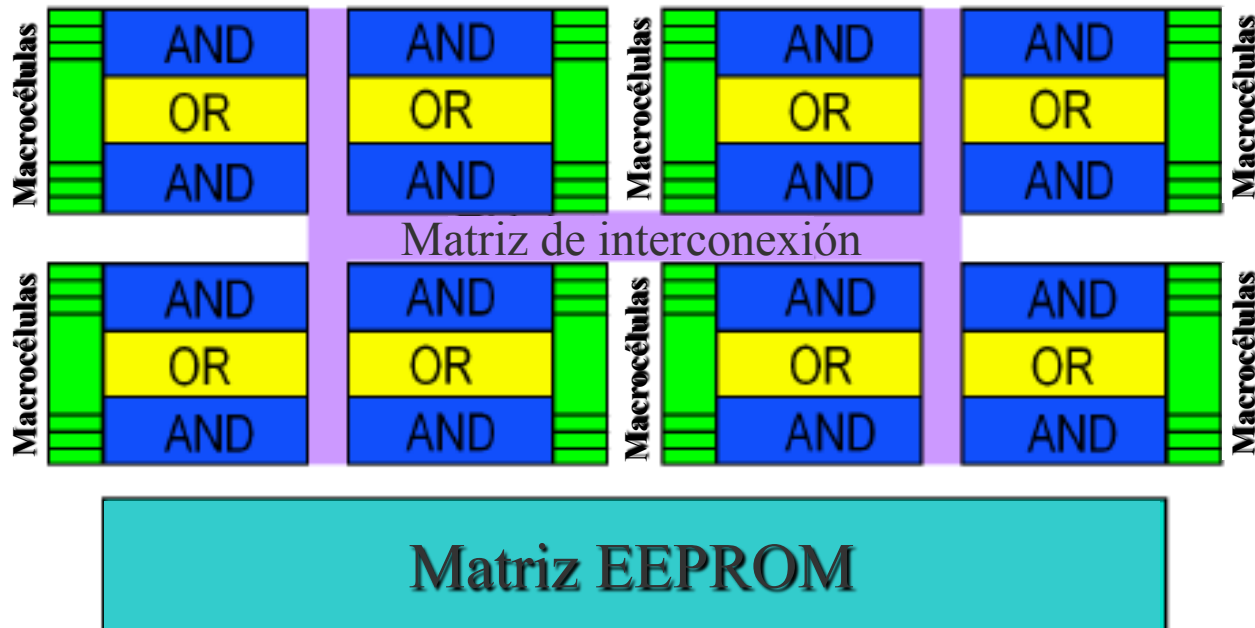
Arquitectura XPLA3 (XIX)

- Bloque de E/S. Multiplexor de control (VI):
 - El valor OE de su entrada de control determina el modo de funcionamiento del bloque.



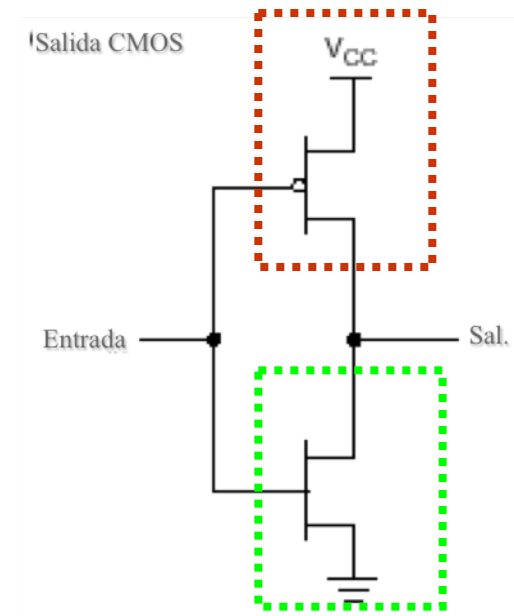
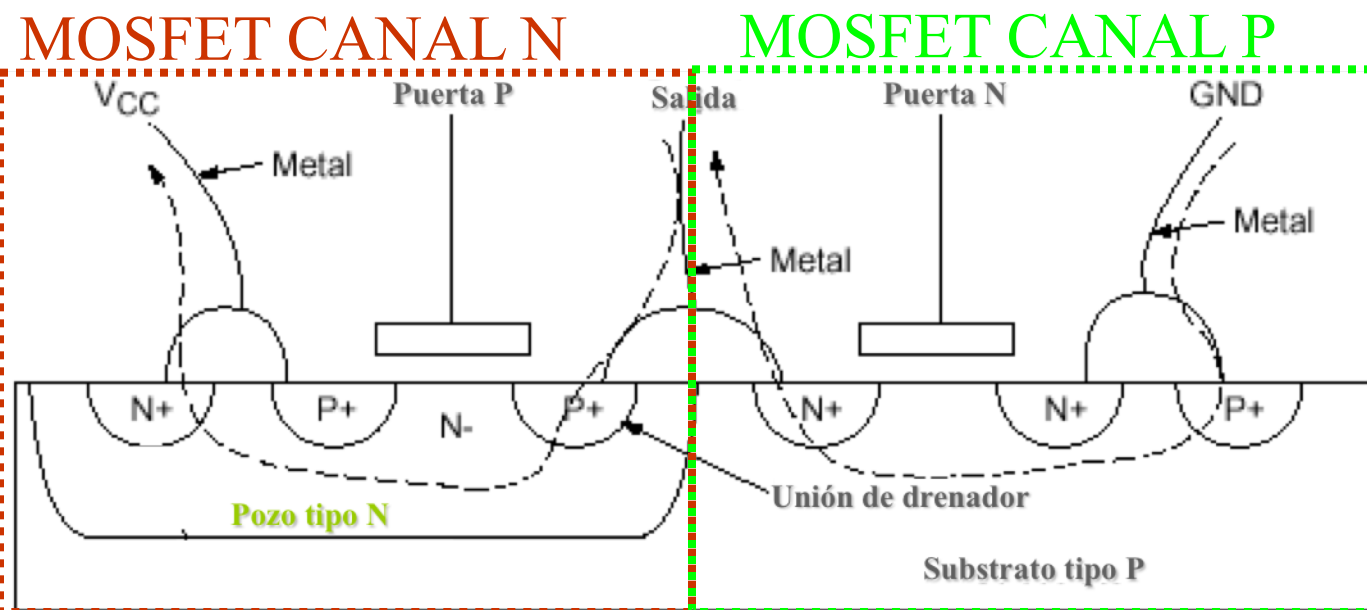
Arquitectura XPLA3 (XX)

- Tecnología:
 - Tecnología TotalCMOS™: todo el circuito con transistores MOS de 0'35 μm .
 - Distribución en el silicio:



Arquitectura XPLA3 (XXI)

- Tecnología:
 - Ejemplo de buffer de entrada/salida:



- Ventajas del uso de CMOS:
 - Solo consume en las transiciones.
 - Valores lógicos muy próximos a cero y a la tensión de alimentación.

Arquitectura XPLA3 (XXII)

- Dispositivos comerciales:
 - La familia Coolrunner está formada por seis dispositivos

	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL	XCR3512XL
Nº de puertas equivalente	800	1,600	3,200	6,400	9,600	12,800
Macro células	32	64	128	256	384	512
Bloques de función	2	4	8	16	24	32
Encapsulado	Pines disponibles para E/S					
44 Pin VQFP	34					
44 Pin PLCC	34	34				
48 Pin CSP	34					
84 Pin PLCC		69	69			
100 Pin TQFP		72	81	81		
100 Pin PQFP		72	81	81		
160 Pin PQFP			108	133	133	
208 Pin PQFP					166	168
208 Pin BGA					166	192



Herramientas de desarrollo (I)

- A la hora de desarrollar un proyecto, hemos de pasar por tres fases:
 - Diseño.
 - Simulación.
 - Programación.



Herramientas de desarrollo (II)

- 1º - Diseño del circuito lógico
 - Diseño esquemático.
 - Diseño mediante lenguajes de descripción hardware (HDL).
 - Programas:
 - VIVADO, WebPACK ISE™.
 - OrCAD™.



Herramientas de desarrollo (III)

- 2º - Simulación:
 - Necesaria para comprobar el funcionamiento de nuestro circuito.
 - Programas:
 - VIVADO, WebPACK ISE™.
 - OrCAD™.



Herramientas de desarrollo (IV)

- 3º - Programación:
 - Antes de programar físicamente el dispositivo necesitamos:
 - Asignar patillas de E/S.
 - Sintetizar el fichero de programación (JEDEC).



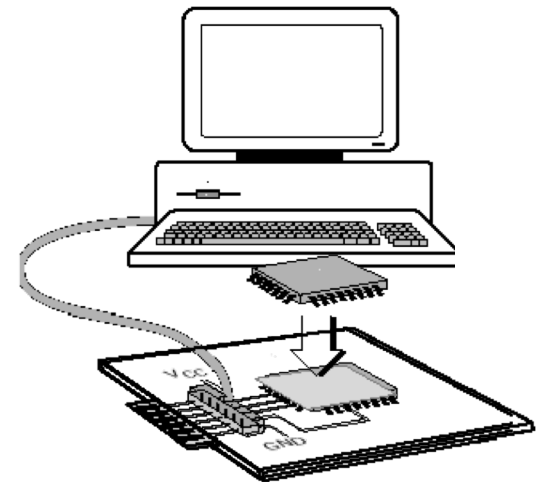
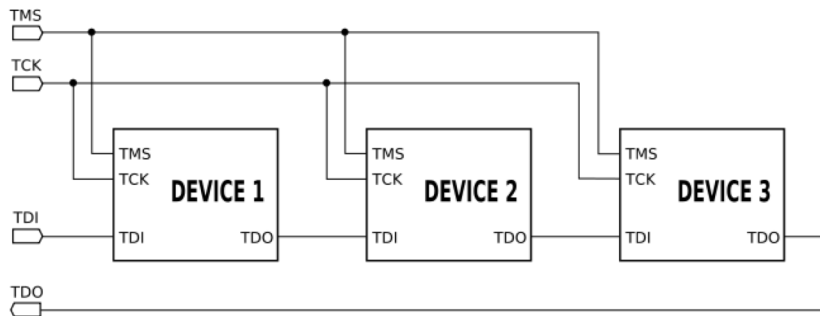
Programación

- Programación en sistema (ISP – In System Programming).
- A través de interfaz JTAG.
- Gracias a esto, se puede programar:
 - Con ordenador y cable de programación.
 - Con programador independiente.
 - Con dispositivo de prueba.
 - Con un microprocesador montado en la tarjeta.

Programación (II)

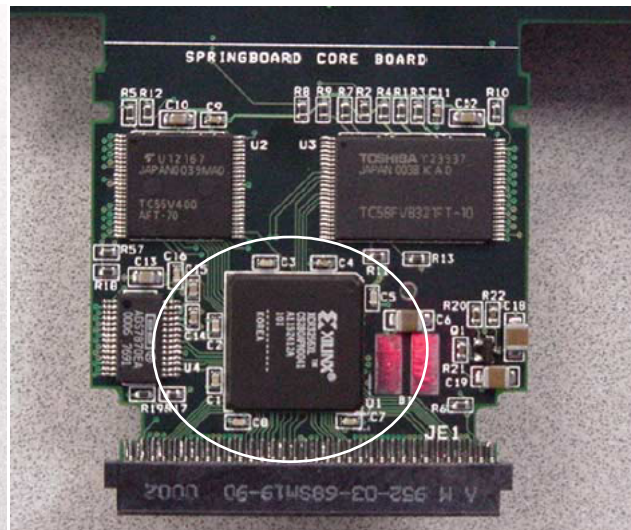
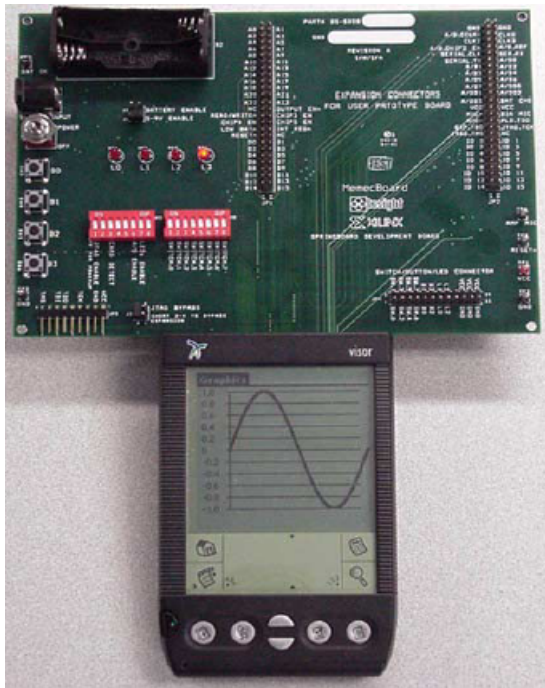
- Interfaz JTAG

- Es un estándar (IEEE1149.1).
- Propuesto para probar circuitos sin usar dispositivos de contacto (“bed of nails”).
- En este caso se usa también para programar el dispositivo.
- Conexiones:
 - TDI (Test Data In)
 - TDO (Test Data Out)
 - TCK (Test Clock)
 - TMS (Test Mode Select)
 - TRST (Test Reset) opcional



Aplicaciones

- Sistema de desarrollo para creación de tarjetas enchufables a agendas digitales.
 - Más económicos que con ASIC'S.
 - Bajo consumo apropiado para baterías.



Memoria
SRAM

Memoria
Flash

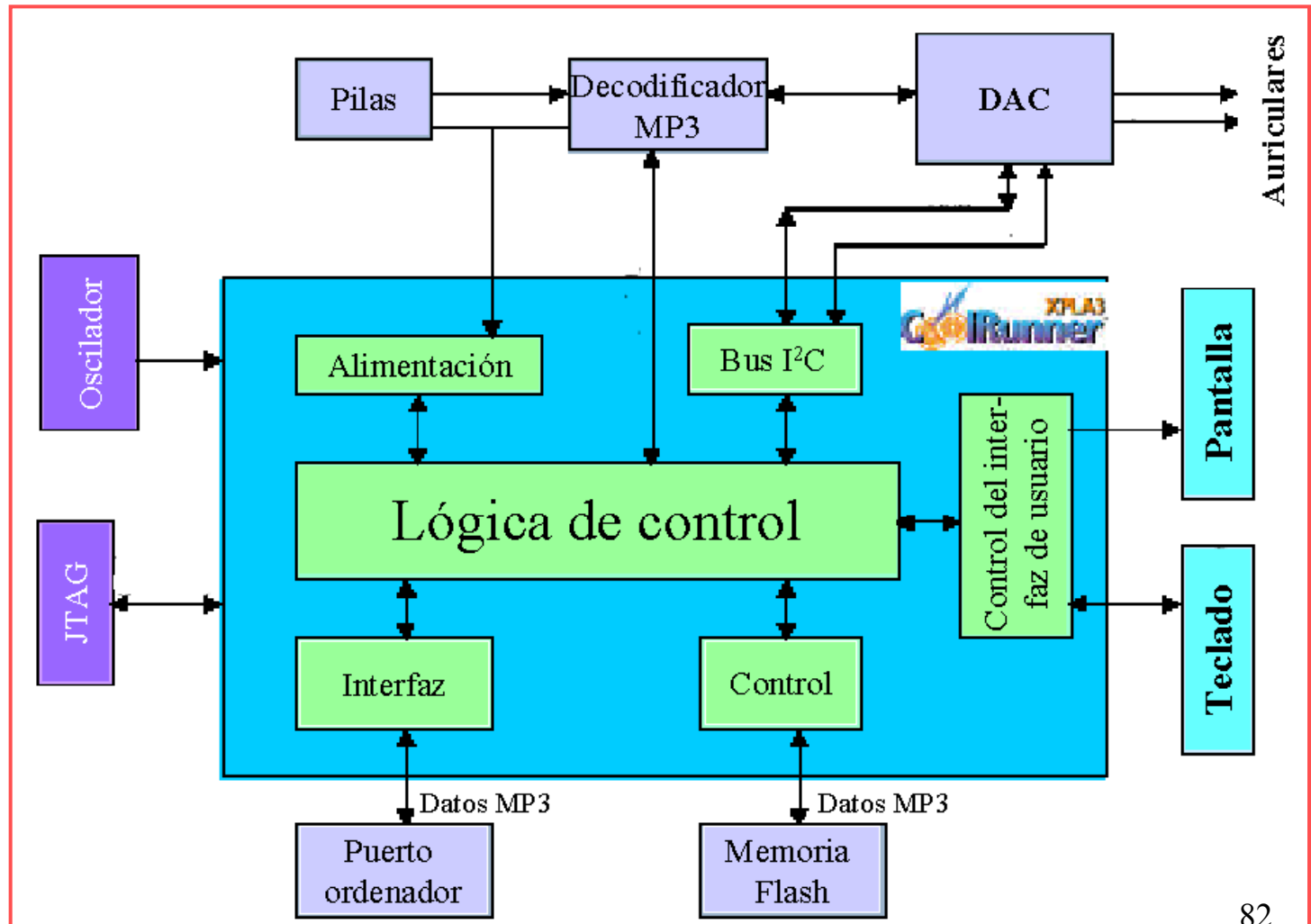
A
D
C

Coolrunner
XPLA3

Conector

Aplicaciones (II)

- Reproductor portátil de audio en formato MP3.



Conclusiones

- Los CPLD son versiones mayores y mejoradas de los dispositivos programables básicos.
- Pueden utilizarse en aplicaciones más complejas.
- Pueden programarse con facilidad.
- Los desarrollos de productos son más rápidos.
- Su bajo consumo los hace ideales para aplicaciones portátiles:
 - Medidores, agendas, telefonía, etc.
- y para dispositivos actualizables:
 - Periféricos de ordenador, reproductores MP3, etc.

Bibliografía

- Libros:

[1] FLOYD T.L., **Fundamentos de sistemas digitales**. Ed. Prentice Hall Hispanoamericana . 2000.

[2] TAVERNIER C., **Circuitos lógicos programables**. Ed. Paraninfo. 1994.

[3] JOHN F. WAKERLY, Digital Design Principles and Practices, (Tema 6.3)

- Internet:

- Página web de Xilinx: <http://www.xilinx.com>

- Página web de Altera: <http://www.altera.com>